

INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2007 年版

フロントエンドプロセス

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があってもそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

著作権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY
この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁, 図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 [mailto: roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)

TABLE OF CONTENTS

概要	1
困難な技術課題(DIFFICULT CHALLENGES)	2
フロントエンドプロセスの主要な技術課題(GRAND CHALLENGES) – デバイスの微細化が材料に制限される時代へのフロントエンドプロセスの対応	2
技術要求と解決策候補	6
スターティングマテリアル	6
表面処理	14
熱プロセス／薄膜、ドーピングおよびエッチング	22
フロントエンド・エッチング・プロセス	42
DRAM スタック型キャパシタ	45
DRAM トレンチ型キャパシタ	49
不揮発性メモリ (フラッシュ)	51
相変化メモリ (PCM: Phase Change Memory)	56
強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory)	59
インターフォーカスITWGの議論	63
将来の新探求素子の影響	64
クロスカットの議論 65	
FEPと計測とのクロスカットの課題	65
FEPとモデリング&シミュレーションとのクロスカットの課題	65
FEPと環境・安全・健康とのクロスカットの課題	66
結論	66

LIST OF FIGURES

Figure FEP1	Front End Process Chapter Scope	1
Figure FEP2	Starting Materials Potential Solutions	13
Figure FEP3	Front End Surface Preparation Potential Solutions.....	21
Figure FEP4	Thermal/Thin Films Potential Solutions.....	35
Figure FEP5	Doping Potential Solutions	41
Figure FEP6	Front End Etch Processing Potential Solutions.....	45
Figure FEP7	DRAM Stacked Capacitor Potential Solutions	49
Figure FEP8	Minimum Feature Size of NAND Flash Memory	51
Figure FEP9	Minimum Feature Size of NOR Flash Memory	51
Figure FEP10	Flash Memory Interpoly Dielectric Thickness Scaling at 45 nm.....	52
Figure FEP11	Schematics of STI Isolation Trenches.....	53
Figure FEP12	Evolution of the STI Aspect Ratio for Flash Memories with the Minimum Feature Size	53
Figure FEP13	Flash Non-Volatile Memory Floating Gate Potential Solutions	55
Figure FEP14	Amorphous / Poly-crystal Phases of a Chalcogenide Alloy, usually Ge ₂ Sb ₂ Te ₅ (GST)	57
Figure FEP15	Resistance Change of GST	57

Figure FEP16 Set/Reset Thermal Cycles to Change the Crystal Phase
of the GST Material and to Write/Erase the PCM.....57

LIST OF TABLES

Table FEP1	Front End Processes Difficult Challenges.....	5
Table FEP2b	Starting Materials Technology Requirements—Long-term Years.....	9
Table FEP3a	Front End Surface Preparation Technology Requirements— Near-term Years.....	17
Table FEP3b	Front End Surface Preparation Technology Requirements—Long-term Years ..	18
Table FEP4a	Thermal, Thin Film, Doping and Etching Technology Requirements— Near-term Years.....	24
Table FEP4b	Thermal, Thin Film, Doping and Etching Technology Requirements—Long-term Years	27
Table FEP5a	DRAM Stacked Capacitor Technology Requirements—Near-term Years	47
Table FEP5b	DRAM Stacked Capacitor Technology Requirements—Long-term Years	48
Table FEP6a	DRAM Trench Capacitor Technology Requirements—Near-term Years.....	50
Table FEP6b	DRAM Trench Capacitor Technology Requirements—Long-term Years	50
Table FEP7	FLASH Non-volatile Memory Technology Requirements	54
Table FEP8a	Phase Change Memory (PCM) Technology Requirements—Near-term Years ..	59
Table FEP8b	Phase Change Memory (PCM) Technology Requirements—Long-term Years ..	59
Table FEP9a	FeRAM Technology Requirements—Near-term Years	62
Table FEP9b	FeRAM Technology Requirements—Long-term Years.....	63

フロントエンドプロセス

概要

フロントエンドプロセス(FEP)のロードマップは、微細化電界効果トランジスタ(MOSFET)、DRAM キャパシタ及びフラッシュ、相変化や強誘電体の特性を利用した不揮発性メモリにおいて将来必要となるプロセスの技術的要求と解決策候補に焦点をあわせている。この章の目的は、上であげたデバイスのキーとなるフロントエンドのウェーハ製造技術・材料について、包括的な将来的要求と解決策候補を明確にすることである。そのため、このロードマップは装置、材料、個々のプロセス、統合プロセスに関し、最初のシリコンウェーハからコンタクトのシリサイド化工程や歪印加層の堆積工程(PMD:金属配線下層絶縁膜やコンタクトエッチングは *Interconnect* の章で扱う)までを含んでいる。具体的には次の技術領域を取り扱った。即ち、MOSFETのための「スターティングマテリアル(starting materials)」、「表面処理(surface preparation)」、「熱処理/薄膜プロセス(thermal/thin films)」、「ドーピング(doping)」、またFEPの「プラズマエッチング(plasma etch)」である。更に、「スタック型およびトレンチ型 DRAM キャパシタ(DRAM stack and trench capacitors)」、「フラッシュメモリゲート構造(Flash memory gate structure)」、「相変化メモリ(Phase-change memory)」、「FeRAM 記憶デバイス(FeRAM storage devices)」のプロセスと材料についても言及した。

微細化していく上で必要な技術的要求と解決策候補についての予測は、それぞれの技術領域に提示してある。技術的要求予測の Table は、特に注釈のない限り、モデルを基にしたものである。ここで示した解決策候補は、可能性のある解決策の既知の例を比較するために示したものであり、他の研究者や興味のある団体向けに提示している。ここで示した解決策候補だけがアプローチであるとは考えないでいただきたい。実際、革新的で新規な解決策が技術的要求 Table の赤で示した領域で求められている。

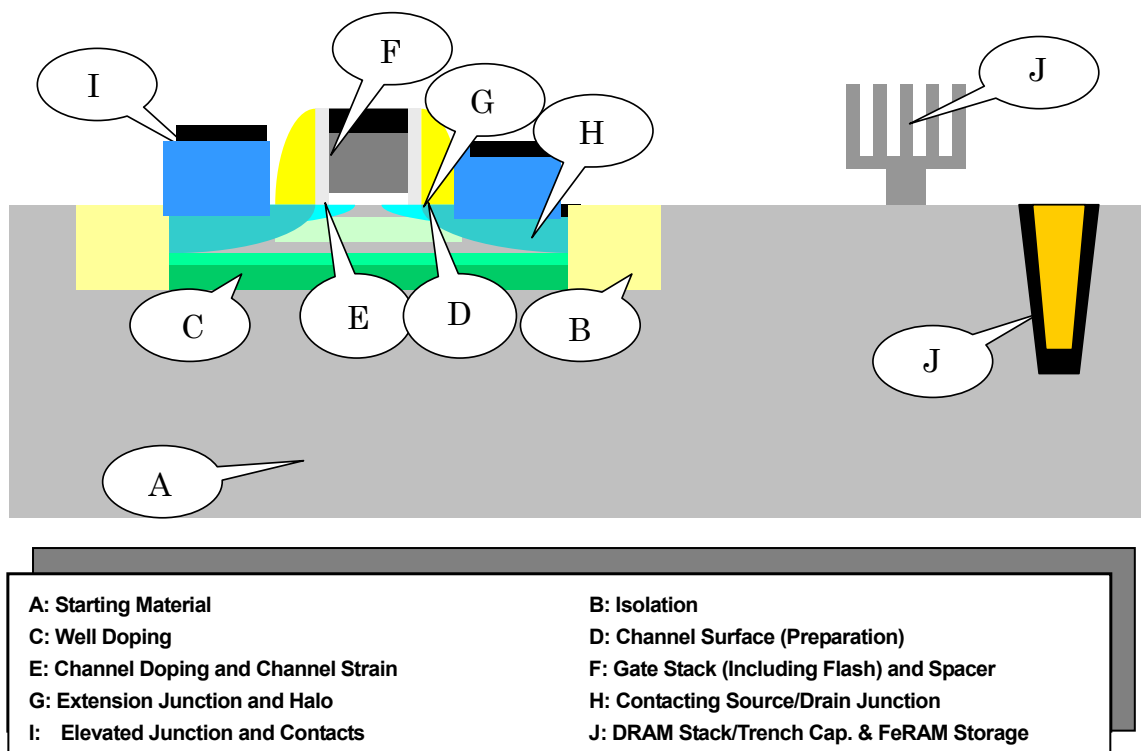


Figure FEPI Front End Process Chapter Scope

FEP に関連したいくつかの話題は、このロードマップの他の章でも取り上げられている。FEP の技術的要求につながる微細化デバイスの性能・構造の予測は、「プロセスインテグレーション、デバイス、および構造 (PIDS: *Process Integration, Devices, and Structures*)」の章に示されている。浅いトレンチ分離用 CMP (化学機械研磨: *Chemical Mechanical Polish*) の懸案事項は、配線の懸案事項と重複するため、「配線 (*Interconnect*)」の章に示されている。FEP と他の分野が関連する要求事項は、「歩留り向上 (*Yield Enhancement*)」、「計測 (*Metrology*)」、「環境、安全、健康 (*Environment, Safety, & Health*)」、「モデリング & シミュレーション (*Modeling & Simulation*)」の章で記述されている。FEP 分野の半導体工場への技術的要求は「ファクトリインテグレーション (*Factory Integration*)」の章で記述されている。

困難な技術課題(DIFFICULT CHALLENGES)

フロントエンドプロセスの主要な技術課題(GRAND CHALLENGES) –

デバイスの微細化が材料に制限される時代へのフロントエンドプロセスの対応

半導体産業は、MOSFET デバイスを微細化することを主要な手段として、ムーアの法則(Moore's Law)で数値が示されている通りに、これまでに前例のないほどの生産量の増大とデバイス特性の向上を実現してきた。これは伝統的に新しいリソグラフィ技術やマスク、フォトレジスト材料および微細エッチングプロセスの開発により進められてきたといえる。これらのきわめて重要なプロセス技術の進展により、これまでにない微細な寸法で生産できるようになったにもかかわらず、ここ数年明らかに、フロントエンドプロセスの技術は着実には進まなくなり、微細化されたデバイスは性能を制限されたものとなっている。この問題でもっとも重要なことは、伝統的なトランジスタとキャパシタの形成材料であるシリコン、シリコン酸化膜およびポリシリコンが根本的な材料の限界に追いやられ、継続的な微細化には新しい材料の導入が必要になったという事実である。デバイスの微細化が材料に制限される時代となっている。

デバイスの微細化が材料に制限されており、シリコンウェーハから始まって基本的なプレーナ型 CMOS の構成要素やメモリのストレージ構造を含むほとんどすべてのフロントエンドの材料とユニットプロセスに新たなことが要求されるようになった。さらに、プレーナ型バルク CMOS は数年以内に明らかに終わりになりつつある。結果として、従来と違った MOSFET やプレーナ型完全空乏 SOI (FDSOI: *fully depleted silicon-on-insulator*) デバイスやパーティカル構造の持つデュアルゲート、マルチゲートデバイスのような代替デバイスを使った CMOS 技術を生み出す準備をしなければならない。代替デバイスについては *emerging research devices* の節で言及する。従来の MOSFET と異なる新しいデバイスは、FDSOI が 2010 年に、マルチゲートが 2011 年に生産に導入される見込みである。これらのさまざまな新材料と新構造のインテグレーションに関するチャレンジは、Table FEP1 に纏めたフロントエンドプロセスの困難な技術課題の中心テーマである。

材料律速によるデバイス微細化の問題は MOSFET のゲートスタックにおいて最も明確で急を要するものである。ここに、 SiO_2 よりも高い誘電率を持つ新しいゲート絶縁材料が必要とされる。この要求は、2005 年に出現すると予測されたゲート長 65nm 以下の MOSFET に関連して、ITRS1999 の中で明らかにされていた。その間に、65nm ゲートを作製するパターンニング技術が加速し、これらは 2001 年に達成された。シリコン酸窒化ゲート絶縁膜材料はその進展と歪みによる移動度増大チャネル構成により、*high-k* の必要な時期が先送りとなっていたが、2008 年には、先端技術を主導するデバイスメーカーで *high-k* ゲート材料の生産が開始されるであろう。移動度増大と、短チャネル効果を制御するために接合をより浅くする必要のあるチャネル長の微細化は引き続きデバイス性能向上をさせていくであろう。更に、デバイスがサブミクロンサイズとなると、ドーフトポリシリコンのゲートに発生する空乏層は、ますます問題となってくる。それ故に、2008 年には、先端技術を主導するデバイスメーカーは、現状の CMOS 技術の主流であるデュアルドーフトポリシリコンゲートを適切な仕事関数を持つデュアルメタルゲートに置き換えて生産して行くと期待される。

引き続きトランジスタ性能の向上を推し進めるためには、従来の CMOS デバイスを、プレーナ型の完全空乏型デバイスを含めたノンクラシカル・デバイスに置き換えていく必要がある。そのためには、バルク Si 基板を超薄膜 SOI 基板とダブルゲート又はマルチゲートデバイスに置き換える必要がある。この従来の CMOS から新たなデバイスへの変更は必ずしもすべての用途及びすべてのチップ製造工場ですべて同時に実施されるのではなく、色々な技術が同時に、競合しながら使用されることになっていくであろう。比較的に早く新たなデバイスを選択する方向へ移る製造工場もあれば、他方で、バルク技術の改良に力を入れる製造会社もある。このことは、Thermal/Thin Film/Doping 及び Etching 技術の解決策の Table FEP4 において、2010 年から 2015 年の過渡期における解決策が複数予測されている点に対応している。

新材料の導入によっても不純物ドーパントや不純物の活性化法に新たなチャレンジが期待される。非常に浅く且つ高い活性化率の PN 接合を要求される微細化に加えて、多くの high-k 材料が持つ熱的制限のために、ドーパントの活性化に対するサーマルバジェット(thermal budget)に新たな制約を受ける可能性がある。最悪のシナリオの一例として、これらの high-k 新材料の導入によって、CMOS プロセス全体の設計にも重大インパクトを与えかねない。

メモリ分野では、high-k 材料は、スタック及びトレンチ DRAM の両方で採用されている。DRAM のスタックキャパシタでは、MIM(metal-insulator-metal)構造が採用されており、2010 年までにはトレンチキャパシタも MIM 構造へ移行する。また、high-k 材料は、2010 年までには、Flash メモリのポリシリコン間絶縁膜(interpoly dielectric)に、2013 年までには、トンネル絶縁膜(tunnel dielectric)に必要とされるであろう。FeRAM については、強誘電体や強磁性体のストレージ材料が使用される用途で商業化されるであろう。これらの様々な材料が製造のメインストリームとなるためには大きな困難な技術課題がある。加えて、相変化メモリ (PCM) デバイスは 2010 年までには商用化されると期待される。

スターティング・マテリアル分野では、SOI 基板のようなバルクシリコン基板に替わるものが、増えていくことが予測される。加えて、様々な形の歪シリコン技術が具体化されていくと期待される。これらは IC 製造プロセスをモディファイすることになるが、IC の価値を高めてきたし、今後も高め続けることになる。このようなバルクの代替法は、一般的には FEP にインパクトを与えることになるプロセスアーキテクチャが変更となる。また、このロードマップの期間内に出現すると予想される重要かつ困難なチャレンジは、次世代 450mm シリコン基板が必要になることである。そのようなウェーハ大口径化は、増大するトランジスタ数と性能の向上に基づいた歴史的に繰り返す生産性向上が維持されることが示唆されている。しかしながら、設計に影響を与えたり、non-CMOS の内容を含むような、いわゆる”More than Moore”のアプローチは産業内に拡大し続ける。更に、より生産性の高い 300mm fab の追求もなされている。ITRS はこれらのいくつかのアプローチ方法が生産要求にどのようにインパクトを与えるかを積極的に検討していく。もし、次世代口径ウェーハを採用することが必要となれば、ウェーハ準備に対して必要な条件がコスト的に見て有効であるのかどうかに関心事である。この基板がバルクシリコンなのか、SOI なのか、また歪シリコンが必要なのかも不明である。それ故、解決策となりえる代替基板の調査は重要である。歴史的なウェーハ口径の変遷に基づけば、450mm 口径のシリコン基板で 2012 年にデバイス生産するためには、工業化までにはもう数年しかない。

フロントエンドのクリーニングプロセスは、high-k 絶縁膜、メタルゲート電極や移動度エンハンスドチャネル材料といった新しい材料が導入されてきており、引き続き重要であるであろう。微細化デバイスでは、ますますシャロー接合となり、このため、クリーニングプロセスは基板材料の除去並びにその表面のラフネスにまったく影響を与えないことが要求される。微細化した新デバイス構造は、ますます脆弱となっており、このためクリーニングプロセスでの物理的な衝撃を抑制しなければならないであろう。加えて、これらの新デバイス構造では、完全なクリーニングと側面(直角方向の表面)制御も要求されるであろう。DRAM スタックキャパシタ及びトレンチキャパシタ構造では、アスペクト比の増大でサイドウォール部の汚染除去がますます困難となってくるであろう。また、デバイスに影響を与える欠陥密度のキャラクタリゼーションのためにウェーハ上の 28nm より小さなパーテ

4 フロントエンドプロセス

イクルを信頼性よく検出するための、並びに歩留まり技術を学ぶための **particle scanning** 技術へのチャレンジが必要である。

デバイス微細化の普通の要求は、最小デバイス素子の CD(Critical Dimension)を、少なくとも絶対値で、中央値だけでなく分布の広がり抑制して、制御することである。high-k 絶縁物やメタルゲートが導入されるには、エッチングプロセスに十分な選択性とそれらの材料に与えるダメージの制御性が確認されているべきである。CD を低減させるプロセスを高め、最適化して、微細化に対処する必要がある。ウェーハエッジ部でのエッチング均一性は特に困難な課題である。CD が改善されるのにしたがって、ラインエッジラフネス(LER)が CD コントロールでますます重要となってきた。ライン幅がシュリンクした時に、LER はせいぜい一定である。このことが、微細化での最も大きな課題の一つである。非プレーナ型トランジスタが必要になると、エッチングはますます大きな課題となる。FinFET 構成では、選択性、異方性及びダメージ制御といった新たな制約条件が発生する。

Table FEPI Front End Processes Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Starting Materials	1.5 mm edge exclusion FDSOI Si and buried oxide thickness control SOI defectivity levels Full production of 450 mm wafer size
Surface Preparation	Critical surface particle size below 28 nm not measurable on wafer Ability to achieve clean surfaces while controlling material loss and surface damage
Thermal/Thin Films/Doping/Etch	Introduction of high-κ/metal gate into high performance (HP) and low operating/low standby power (LOP/LSTP) and equivalent oxide thickness (EOT) scaling below 0.8 nm Increasing device performance with strain engineering and applying it to FDSOI and multi-gate technologies Scaling extension junction depths below 10 nm while achieving high dopant activation Achieving manufacturable interfacial contact resistivities below $10^{-7} \Omega\text{-cm}^2$ to meet parasitic series resistance requirements Si thickness and control for FDSOI and Multi-gate Gate critical dimension control for physical gate length < 20 nm Introduction of new channel materials with high interface quality and low processing thermal budget
DRAM	Improvement of oxide etching capability for high aspect ratio (>40) storage node formation in stack capacitor and for oxide hardmask for high aspect ratio trench capacitor. Improvement of Si etching capability for high A/R (>90) trench capacitor formation. Continued scaling of stacked and trench capacitor dielectric T_{eq} below 0.5 nm Continued scaling of physical dielectric thickness (t_{phys}) while maintaining high dielectric constant (>90) and low leakage current of dielectric
Non-volatile Memory	Scaling of IPD T_{eq} to <6Å for NAND and NOR Scaling of tunnel oxide thickness to <8Å for NOR Scaling of STI fill aspect ratio to >9 starting for NAND PCM material conformality of ≥90% PCM minimum operating temperature of 125°C PCM resistivity change and reset current density Integration and scaling of FeRAM ferroelectric materials Continued scaling of FeRAM cell structure
<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Starting Materials	1.5 mm edge exclusion FDSOI Si and buried oxide thickness control SOI defectivity Surface particles
Surface Preparation	Surface particles not measurable Ability to achieve clean surfaces while controlling material loss and surface damage Metrology of surfaces that may be horizontally or vertically oriented relative to the chip surface Achievement of statistically significant characterization of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface Achievement and maintenance of structural, chemical, and contamination control of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface
Thermal/Thin Films/Doping/Etch	Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidation. Continued EOT scaling below 0.7 nm with appropriate metal gates Gate CD Control
DRAM	Continued scaling of capacitor structures for both stacked and trench type as well as continued scaling of dielectric thickness
Non-volatile Memory	Floating gate Flash technology considered unscalable beyond 22 nm—new Flash NVM technology will be required Continued scaling of phase change memory technology Continued scaling of FeRAM technology

技術要求と解決策候補

スターティングマテリアル

技術要求－Table FEP2aとFEP2はDRAMのような高集積メモリ、高性能MPU及びASICを生産する際に使用されるウェーハに関して、ウェーハメーカが製造する動向を予測したものである。これらの要求は全てのウェーハに共通するパラメータだけでなく、エピタキシャルおよびSOIウェーハに固有なパラメータも含んでいる。光散乱(LLS)欠陥密度、サイトフラットネス、エッジ除外領域のようなウェーハ特性を最適なコストで改善するに障壁がある。結晶の引上げとその後の加工プロセスにおけるウェーハ製造コストと歩留りと同様に、これらの障壁としては、評価・測定器の性能と処理能力がある。そこで、ITRS2005版で導入された表記方法を継続していきます。FET2aおよび2bに示されたパラメータの動向に対して、ウェーハメーカが実現できるかを記載したのに加え、計測機器が準備できるかを示している。表記方法とその意味¹は、DRAMおよび高性能MPUの両方をFigureに記載している。加えて、測定器情報とのハイパーリンクにより、新しいセクションは測定法に係る情報を提供する。²

ウェーハ種類－ITRSのスコープに含まれたデバイスに対して、これまでのスターティングマテリアルのシリコン基板は、CZ(Czochralski)法の鏡面ウェーハまたはエピタキシャルウェーハが歴史的に選ばれてきた。SOI(silicon-on-insulator)ウェーハ出荷数量は継続的に大きく成長しているが、鏡面ウェーハまたはエピタキシャルウェーハに比べれば未だ少ない。SOIウェーハは、ロジックデバイスの高速化、低消費電力化、マルチゲートのような特殊なデバイス構造における性能向上によって、大きな需要のある主要デバイス分野に使われていく機会がある。しかし、実用的な大量生産を達成するために、ウェーハとデバイスプロセスの両方でさらなる開発を必要とします。場合によっては、SOIでデバイスプロセスの簡素化も達成される。したがって、ウェーハ種類の選択は性能に対するチップあたりの全費用に強く依存しており、単にウェーハ価格だけでなく、すべてのコスト面を考慮すべきである。

DRAMのような汎用デバイスでは、一般的には低コストのCZ鏡面ウェーハが用いられている。欠陥低減ライン検査および歩留まり向上のために使うインライン検査との干渉を避けるために、“crystal originated pits”(COP)を低減したCZ鏡面ウェーハの要求が高まっている。高性能ロジックデバイスでは、ソフトウェア耐性やラッチアップ抑制力などのデバイス堅牢性を大きく作り易くできるので、(CZ鏡面ウェーハと比べると高価な)エピタキシャルウェーハが用いられている。ラッチアップ抑制に関しては、浅いトレンチ分離(STI:shallow trench isolation)の利用やラッチアップ耐性達成する代替ドーピング方法によって、もはや重大な要因ではなくなった。加えて、部分SOIはあるタイプの高性能ロジックデバイスに適用されてきた。

アニールウェーハは、表層がCOPフリーのシリコンウェーハを提供する為の手段として1990年代前半に市場に導入され、現在、多くの最先端デバイスに使用されている。アニーリングは高温で水素(直径200mm以下)かアルゴンのどちらかの雰囲気で行われている。COPは適切に制御されたCZ成長法によっても可能である。ここで示したスターティングマテリアルのTableにおいては、アニールウェーハと“欠陥制御された(defect engineered)CZウェーハ”は、共に鏡面CZウェーハとして記載し、一般特性の項目でパラメータ動向を示している。

これらの多様なウェーハは、おそらく今後も広く使われていくため、Table FEP2aと2bにCZ鏡面ウェーハ、一般的なものに加えて特殊なエピタキシャルおよびSOIウェーハが記載されている。スターティングマテリアルの

¹ 訳注：FEP2bの最下段にある色テーブル。

² 訳注：英語版で設けられていた [Metrology information](#) へのリンクは削除した。

種類をさらに増大させるエマージングマテリアルは、後に本文書内にて議論する。

パラメーターの値 – ウェーハ要求仕様は、各年の各パラメーターに対して最先端チップの歩留り低下が1%を超えないような値にしてある。Table 中の値は、限定しているわけではないが、統計的な歩留り-欠陥モデルから概ね算出されている。これらのモデルは、CD(Critical Dimension)–これは DRAM のハーフピッチ(すなわち技術世代)–、ビット密度、トランジスター密度、チップサイズのような最先端の技術パラメーターを考慮している。算出された値の妥当性は、ある場合には、限られたものであり、前提にしているモデルの的確さや予測精度は時々疑わしい。ゲート酸化膜換算膜厚(EOT)と物理的なチャンネル長が共にナノメートルレンジになるデバイス寸法の到来によって、これらのモデルベース値に対応するのは非常にコストが高く、再検討を必要とする場合もあるだろう。そのため、要求仕様を実現することで得られる発生原価と派生価値との関係を詳細に再査定すると、適切な切口からモデルの適用限界が示されることになる。

モデル限界 – モデルベースのパラメータ要求は、ウェーハ製造工程固有のパラメータ値のバラツキによる効果を含んではいない。パラメータ値のバラツキには、2 種類の統計分布のどちらかが通常用いられる。膜厚のようなパラメータ値は、中央値か平均値に対して対称に分布し、良く知られた正規分布で表すことができる。ゼロが下限となるパラメータの値(例えばサイトフラットネス、パーティクル密度、表面金属濃度)は、対数正規分布で近似することができる、言い換えればパラメータの値の対数は正規分布に従う。対数正規分布は、非対称性が高く、分布の上限方向に長い裾を引く。歩留りモデルの実証は 40 年間以上の IC 製造の経験にもかかわらず、捉え所がないままで残っている。

材料起因の歩留まり低下の理想的な管理方法はスターティングマテリアル起因の歩留り低下が全 IC 製造歩留り低下の 1%を超えないように、欠陥の種類別歩留まり低下を割り振るであろう。特定の欠陥による歩留り低下は、(1)パラメータ値で決まる不良率(適切な歩留りモデルで設定されている)に、(2)そのパラメータ値を持つウェーハの割合(正規分布か対数正規分布によって設定されている)を掛けたものを積分することによって得られる。この評価方法を用いれば、受入れ可能なウェーハ仕様の分布を決定することができるだろう。統計分布による仕様を有効的に実施するためには、ウェーハメーカーのプロセスが十分に理解され、コントロールされ、IC ユーザの要求に整合する必要がある。これらの理想を達成することができるまでは、最も有効な情報に基づいたポアソン分布による歩留りモデルが用いられており、各パラメータ値にはそのパラメータに対応する歩留りが 99%になるような限界値が割り当てられることになる。さらに、どのパラメータによる歩留り損失も他のパラメータによる歩留り損失には大きな影響を与えないと仮定する。言い換えると、欠陥による歩留りへの影響は統計的に独立な事象ということを仮定する。評価に使う妥当なデータが得られれば、この経験に基づく仮定から得られる要求仕様値は、前に述べたパラメータ分布に基づく設定方法で得られる限界値とあまり変わらないことが示されるであろう。

Table FEP2a Starting Materials Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
DRAM Total Chip Area (mm ²)	93	74	59	93	74	59	93	74	59
DRAM Active Transistor Area (mm ²)	29.6	23.1	18.2	29.1	23.1	18.3	29.1	23.1	18.3
MPU High-Performance Total Chip Area(mm ²)	310	246	195	310	246	195	310	246	195
MPU High-Performance Active Transistor Area(mm ²)	31.7	25.1	20.0	31.7	25.1	20.0	31.7	25.1	20.0
<i>General Characteristics * (99% Chip Yield)</i>									
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)**	300	300	300	300	300	450	450	450	450
Edge exclusion (mm)	2	2	2	2	2	1.5	1.5	1.5	1.5
Front surface particle size (nm), latex sphere equivalent (A)	≥65	≥65	≥65	≥65	≥65	≥45	≥45	≥45	≥32
Particles (cm ⁻²)	≤0.32	≤0.30	≤0.30	≤0.15	≤0.15	≤0.32	≤0.16	≤0.16	≤0.31
Particles (#/wf)	≤218	≤209	≤205	≤105	≤105	≤498	≤249	≤249	≤492
Site flatness (nm), SFQR 26mm x 8 mm Site Size	≤65	≤57	≤50	≤45	≤40	≤36	≤32	≤28	≤25
Nanotopography, p-v, 2 mm dia. analysis area (l)	≤16	≤14	≤13	≤11	≤10	≤9	≤8	≤7	≤6
<i>Epitaxial Wafer * (99% Chip Yield)</i>									
Large structural epi defects (DRAM) (cm ⁻²) (B)	≤0.011	≤0.014	≤0.017	≤0.011	≤0.014	≤0.017	≤0.011	≤0.014	≤0.017
Large structural epi defects (MPU) (cm ⁻²) (B)	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005
Small structural epi defects (DRAM) (cm ⁻²) (C)	≤0.022	≤0.027	≤0.034	≤0.022	≤0.027	≤0.034	≤0.022	≤0.027	≤0.034
Small structural epi defects (MPU) (cm ⁻²) (C)	≤0.006	≤0.008	≤0.010	≤0.006	≤0.008	≤0.010	≤0.006	≤0.008	≤0.010
<i>Silicon-On-Insulator Wafer* (99% Chip Yield)</i>									
Edge exclusion (mm) ***	2	2	2	2	2	1.5	1.5	1.5	1.5
Starting silicon layer thickness (Partially Depleted) (tolerance ± 5%, 3σ) (nm) (D)	48-83	44-76	40-60	37-55	34-50	31-45	29-42	27-38	25-35
Starting silicon layer thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) (E)				15-28	14-17	14-16	13-16	13-14	12-14
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) (F)				26-44	24-40	22-36	18-32	16-28	16-26
D _{LASOI} , Large area SOI wafer defects (DRAM) (cm ⁻²) (G)	≤0.011	≤0.014	≤0.017	≤0.011	≤0.014	≤0.017	≤0.011	≤0.014	≤0.017
D _{LASOI} , Large area SOI wafer defects (MPU) (cm ⁻²) (G)	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005	≤0.003	≤0.004	≤0.005
D _{SASOI} , Small area SOI wafer defects (DRAM) (cm ⁻²) (H)	≤0.170	≤0.218	≤0.276	≤0.173	≤0.218	≤0.274	≤0.173	≤0.218	≤0.274
D _{SASOI} , Small area SOI wafer defects (MPU) (cm ⁻²) (H)	≤0.159	≤0.200	≤0.252	≤0.159	≤0.200	≤0.252	≤0.159	≤0.200	≤0.252

Table FEP2b Starting Materials Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6	6	5	4
DRAM Total Chip Area (mm ²)	93	74	59	93	74	59	93
DRAM Active Transistor Area (mm ²)	29.1	23.1	18.3	29.1	23.1	18.3	29.1
MPU High-Performance Total Chip Area(mm ²)	310	246	195	310	246	195	310
MPU High-Performance Active Transistor Area(mm ²)	31.7	25.1	20.0	31.7	25.1	20.0	31.7
<i>General Characteristics * (99% Chip Yield)</i>							
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)**	450	450	450	450	450	450	450
Edge exclusion (mm)	1.5	1.5	1.5	1.5	1.5	1.5	1.5
Front surface particle size (nm), latex sphere equivalent (A)	≥ 32	≥ 32	≥ 22	≥ 22	≥ 22	≥ 16	≥ 16
Particles (cm ⁻²)	≤ 0.16	≤ 0.16	≤ 0.33	≤ 0.17	≤ 0.17	≤ 0.31	≤ 0.16
Particles (#/wf)	≤ 246	≤ 246	≤ 521	≤ 260	≤ 260	≤ 492	≤ 246
Site flatness (nm), SFQR 26mm x 8 mm Site Size	≤ 23	≤ 20	≤ 18	≤ 16	≤ 14	≤ 13	≤ 11
Nanotopography, p-v, 2 mm dia. analysis area (I)	≤ 6	≤ 5	≤ 4	≤ 4	≤ 4	≤ 3	≤ 3
<i>Epitaxial Wafer * (99% Chip Yield)</i>							
Large structural epi defects (DRAM) (cm ⁻²) (B)	≤ 0.011	≤ 0.014	≤ 0.017	≤ 0.011	≤ 0.014	≤ 0.017	≤ 0.011
Large structural epi defects (MPU) (cm ⁻²) (B)	≤ 0.003	≤ 0.004	≤ 0.005	≤ 0.003	≤ 0.004	≤ 0.005	≤ 0.003
Small structural epi defects (DRAM) (cm ⁻²) (C)	≤ 0.022	≤ 0.027	≤ 0.034	≤ 0.022	≤ 0.027	≤ 0.034	≤ 0.022
Small structural epi defects (MPU) (cm ⁻²) (C)	≤ 0.006	≤ 0.008	≤ 0.010	≤ 0.006	≤ 0.008	≤ 0.010	≤ 0.006
<i>Silicon-On-Insulator Wafer* (99% Chip Yield)</i>							
Edge exclusion (mm) ***	1.5	1.5	1.5	1.5	1.5	1.5	1.5
Starting silicon layer thickness (Partially Depleted) (tolerance ± 5%, 3σ) (nm) (D)	23-32	22-30	21-28	19-26	18-24	18-23	17-21
Starting silicon layer thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) (E)	12-13	12-13	12-13	11-12	11-12	11-12	11-12
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) (F)	14-22	12-20	10-18	10-16	8-14	8-12	6-12
D _{LASOI} , Large area SOI wafer defects (DRAM) (cm ⁻²) (G)	≤ 0.011	≤ 0.014	≤ 0.017	≤ 0.011	≤ 0.014	≤ 0.017	≤ 0.011
D _{LASOI} , Large area SOI wafer defects (MPU) (cm ⁻²) (G)	≤ 0.003	≤ 0.004	≤ 0.005	≤ 0.003	≤ 0.004	≤ 0.005	≤ 0.003
D _{SASOI} , Small area SOI wafer defects (DRAM) (cm ⁻²) (H)	≤ 0.173	≤ 0.218	≤ 0.274	≤ 0.173	≤ 0.218	≤ 0.274	≤ 0.173
D _{SASOI} , Small area SOI wafer defects (MPU) (cm ⁻²) (H)	≤ 0.159	≤ 0.200	≤ 0.252	≤ 0.159	≤ 0.200	≤ 0.252	≤ 0.159

Meaning and Color Coding of Left Box	Meaning and Color Coding of Right Box
Technology Requirements Value and Supplier Manufacturing Capability by Color	Metrology Readiness Capability by Color
<i>Manufacturable solutions exist, and are being optimized</i>	<i>Manufacturable solutions exist, and are being optimized</i>
<i>Manufacturable solutions are known</i>	<i>Manufacturable solutions are known</i>
<i>Interim solutions are known</i>	<i>Interim solutions are known</i>
<i>Manufacturable solutions are NOT known</i>	<i>Manufacturable solutions are NOT known</i>

Table FEP2a と FEP2b に対する注釈

[A] ウェーハ表面のパーティクルサイズ d_m は実用的に測定出来る最小サイズである。ウェーハ表面の問題になるパーティクルサイズ d_c は K_1F , [$K_1=1$] で表わされる(ここで F は DRAM の 1/2 ピッチであり、特定の技術世代におけるウェーハ表面パーティクル密度を計算する時に使われる)。

パーティクル密度は次式で計算される。

$$n = n_c * (d_m / d_c)^2$$

ここで n_c は通常の Maly の歩留り算出式³から求めたものであり、 $\{Y = \exp[-(D_p R_p) A_{eff}]\}$ 、この式に現れる A_{eff} は有効チップ面積で $A_{eff} = 2.5 * F^2 T + (1 - a F^2 T / A_{chip}) A_{chip} * 0.18$ 、 a は DRAM セルフアクター (Table FEP5a, b 参照)、 T は対象となる技術世代での 1 チップあたりのトランジスタ数かチップあたりのビット数}。

[B] 大きなエピ構造欠陥⁴は 99%歩留りでモデル化され、 $Y = \exp(-D_{LAD} R_{LAD} A_{chip})^3$ で表される、ここで $R_{LAD}=1$ であり⁵、 A_{chip} は DRAM あるいは高性能 MPU などに応じて妥当な値を用いる。

[C] 小さなエピ構造欠陥⁶は 99%歩留りでモデル化され、 $Y = \exp(-D_{SF} R_{SF} A_{chip})^3$ で表される、ここで $R_{SF}=0.5$ であり、 A_{chip} は DRAM あるいは高性能 MPU などに応じて妥当な値を用いる。スターティングマテリアルでは量産の DRAM 面積あるいは高性能 MPU の MPU 面積を用いて計算する。

[D] シリコンのデバイス層の最終膜厚(PD: Partially Depleted の場合)は MPU 物理ゲート長の 2 倍で与えられる(レンジは中心値±25%)。目標値のレンジは、ウェーハ中心の測定値を基準にして、ウェーハ面内測定値のウェーハ中心測定値に対するプラスあるいはマイナスの偏差(%)の最大値を均一性の指標としている。デバイス製造工程でのシリコン層の減少を考慮し、デバイスの最終膜厚に 10nm(レンジの最小)~20nm(レンジの最大)を加えた値をスターティングマテリアルとしての Si 膜厚としている。2009 年以降は膜厚減少も厳しく制御されると考え、Si 膜厚レンジの最小値・最大値のどちらも 10nm を加えたものをスターティングマテリアルとしての Si 膜厚にしている。

[E] シリコンのデバイス層の最終膜厚(FD: Fully Depleted の場合)は、2010~2011 年では MPU 物理ゲート長の 0.35 倍で与えられ、2012 年以降では MPU 物理ゲート長の 0.3 倍で与えられる(レンジは中心値±25%)。目標値のレンジは、ウェーハ中心の測定値を基準にし、ウェーハ面内測定値のウェーハ中心測定値に対するプラスあるいはマイナスの偏差(%)の最大値を均一性の指標としている。デバイス製造工程でのシリコン層の減少を考慮し、Si 膜厚レンジの最小値・最大値のどちらも 10nm を加えたものをスターティングマテリアルとしての Si 膜厚にしている。

[F] FDSOI に対する BOX(Buried Oxide)の厚さは、MPU 物理ゲート長の 2 倍で与えられる。

[G] 大面積の SOI 欠陥(LASOI defect)は 99%でモデル化され、 $Y = \exp(-D_{LASOI} R_{LASOI} A_{chip})^3$ で表され、 D_{LASOI} = LASOI 欠陥の密度、 $R_{LASOI}=1.0$ (現時点での最善推定)。LASOI 欠陥源には、欠損した Si and/or BOX or 貼合せ欠陥が含まれるだろう。

[H] 小面積の SOI 欠陥(SASOI defect)は 99%でモデル化され、 $Y = \exp(-D_{SASOI} R_{SASOI} A_{chip})^3$ で表され、 D_{SASOI} = SASOI 欠陥の密度、 $R_{SASOI}=0.2$ (現時点での最善推定)。SASOI 欠陥源としては、COP、金属シリサイド、トップシリコン層中の局所的 SiO₂ 島などが含まれる。これらの SASOI 欠陥は光散乱測定(LLS: Localized Light Scattering)^{7 8 9}でも検出できる。

[I] 直径 2mm の領域の P-V(Peak-to-Valley)しきい値。P-V の最大値は経験値を元に F/4 とした(F は DRAM の 1/2 ピッチ)。

CoO(Cost of Ownership) —多くのパラメータへの許容可能値が計測技術の限界に近づいているので、ウェーハメーカーと IC メーカーは、受入れ可能な製品分布とコストを明確にするとともに現状レベルを保つために共同作業が重要になる。IC 歩留り/欠陥モデルのさらなる開発と有効性確認が必要である。しかしながら、最も重要なことは、計測限界まで要求仕様高めて“作り得る最高品質のウェーハ”と CoO を比較評価することではなく、高い IC 歩留りを保てる範囲でいくらか緩めの要求仕様に対して比較評価を行うことである。ここでその例をあげると、スターティングマテリアルの表面金属要求仕様とパーティクル汚染要求仕様は、表面処理の表にあるゲート前洗浄の要求仕様より緩い値になっている(Table FEP3a と 3b 参照)。これは、ゲート前洗浄などの IC 製造工程で得られる最低の除去効率 50%(表面の Fe 除去では 95%の報告例もある)を仮定して緩くしているた

³ W. Maly, H.T. Heineken, and F. Agricola, “A Simple New Yield Model,” Semiconductor International, No. 7, 1994, 148–154.

⁴ 訳注: Large structural epi defects はラテックス粒子換算で 1 μ m より大きなサイズ。

⁵ 訳注: R_{LAD} は LAD のキルレート。

⁶ 訳注: Small structural epi defects はラテックス粒子換算で 1 μ m 以下のサイズ。

⁷ Y. Omura, S. Nakashima, K. Izumi, and T. Ishii, “0.1mm-Gate, Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer,” IEDM Tech. Digest, 1991, 675–678.

⁸ W. P. Maszara, R. Dockerty, C.F.H. Gondran and P.K. Vasudev. “SOI Materials for Mainstream CMOS Technology,” in: “Silicon-on-Insulator Technology and Devices VIII,” S. Cristoloveanu, P.L.F. Hemment, K. Izumi and S. Wilson, eds., PV 97-23, The Electrochemical Society Proceeding Series, Pennington, NJ, 1997, 15–26.

⁹ H. Aga, M. Nakano and K. Mitani. “Study of HF Defects in Thin Bonded SOI Dependent on Original Wafers,” Extended Abstracts of the 1998 International Conference on Solid State Devices and Materials, Hiroshima, Japan (1998), 304–305.

めである。IC メーカーから要求されるウェーハ表面の化学的性質(親水性 vs 疎水性)、出荷に伴うウェーハキヤリアとウェーハ表面との相互作用、保管室の湿度などは、その後の不純物やパーティクルのウェーハ表面吸着に重要な影響を及ぼすことも指摘しておく。特定のパラメータ(即ちサイトフラットネス)に対して、100%ウェーハ検査の有効性を検証するモデルが開発されたので CoO の重要性が確認できた。このモデルは、100%検査を実施しなかった場合に高い確率で生じる不良チップを含んでデバイスプロセスに投入してしまうことによる潜在的な損失に対して、IC メーカーの仕様に 100%保証するのに必要な付加的なウェーハメーカーのコストを考察した。この手法を使うワークシートは、ここでリンクされているように、入手可能なので、IC メーカーは、ウェーハ仕様と関心のある製品群にトレードオフが適切かを分析することができる。

ウェーハパラメータの選択 ウェーハ表面の化学的性質と物理構造が重要な関心事である。適切なモデルベースの定義がないので前者のパラメータは Table FEP2a および FEP2b には記載されていない。化学的欠陥は金属、有機物粒子、表面化学残留物が含まれる。これらの欠陥は、どのタイプのウェーハに対しても重大なものであるが、特に薄膜 SOI では薄い Si 層中に金属が拡散すると、表面金属の悪影響が強調される。有機汚染は、ウェーハ保管や搬送の雰囲気強く依存するため、Table FEP2a および FEP2b には含まれていない。

両面研磨ウェーハの採用で、化学的特性および物理的特性の両方を向上しているためにウェーハ裏面のパーティクルにも注意を払う必要がある。研磨された裏面は、マクロな汚染やウェーハ搬送時の傷が容易に顕在化する。そのため、裏面のクリーン化や傷に配慮された精巧な搬送装置が要求される。しかしながら、Starting Materials IC Users Survey に基づくと、裏面パーティクルによるサイトフラットネスの劣化は、重大事ではないため今回の ITRS2007 には含まれていない。なお、いかなる裏面処理(例えば、外部ゲッターリング、裏面酸化膜シール)も裏面と表面の両鏡面の品質が劣化する可能性があり、直径 200mm 以上の標準的な Si ウェーハ製造方法は互換性がない。

ウェーハおもて面の重要な物理特性はウェーハトポグラフィ、結晶欠陥と表面欠陥である。ウェーハトポグラフィは、空間周波数によってサイトフラットネス、表面ウェイビネス、ナノトポグラフィあるいは表面マイクロラフネスに分類できる種々なウェーハ形状カテゴリーを網羅する。おもて面のサイトフラットネス、ナノトポグラフィは最も重要なウェーハ形状パラメータと考えられており、この ITRS 版で言及する。裏面のトポグラフィも、特に、ウェーハとチャックの相互作用の可能性の観点から、最近注目された。しかし、この相互作用を定量化する技術はまだ十分には煮詰まっていないので、今に時点で Table にはこのパラメータを含めていない。エッジ近傍のウェーハ形状は、歩留まりを律則しうるシリコンウェーハ特性として浮かび上がってきた。しばしば edge roll-off (ERO)と言われ、実質上平坦な大部分のウェーハ中央領域とエッジプロファイル(故意に丸みを持たせたウェーハ外周領域)との間領域で角度方向あるいは半径方向に変化する様々な特徴を網羅する。評価指標についての業界合意が出来ていないので将来の技術世代に対する ERO 動向値は確立されていない。

構造欠陥は、COP やバルクマイクロディフェクト(BMD)のような結晶育成欠陥を含む。COP 制御方法は前に議論した。先進シリコン製造技術では、格子間酸素濃度とは独立に BMD を制御できる。それに加えて、現在のデバイス工程は、より低温でより短時間の熱サイクルを使うので、イントリシクゲッターリングのための高密度 BMD を作り込むのには適していない。その結果、顧客がゲッターリングのための BMD に依存しているアプリケーションでは、シリコンサプライヤーとオプションについて注意深い議論をする必要がある。

他のスターティング材料に対する要求は、異なったウェーハタイプに対する特定の表面欠陥で表す。鏡面ウェーハを使って製造されるあるデバイス(DRAM のような)は非常に浅く小さなスクラッチやピットに敏感であろうと最近のデータは示している。エピタキシャルウェーハや SOI ウェーハにはこの種の表面欠陥が少ししか見られない。一方、エピタキシャルウェーハや SOI ウェーハには大構造欠陥(> 1 μm と便宜上定義)や小構造欠陥(< 1 μm)がある。エピタキシャルウェーハには積層欠陥のような成長過程に入った結晶欠陥と基板表面のパーティクル起因の大欠陥が入りやすい。エピタキシャルウェーハを使うときには、歩留まりを最大にする

ようにこれらの欠陥を制御しなければならない。幾つかの欠陥はSOI固有のものである。歩留まりに対しては大面積欠陥が最大の関心事で、SOI層のボイドとSOI/BOX界面の大欠陥が含まれる。これらの大欠陥はチップ歩留まりに重大な影響をすると判断され、キルレート¹⁰は100%となっている。最上シリコン層(数十ナノメートルから十分の数ミクロン)中のCOP、金属シリサイドあるいは局所SiO₂島のような小欠陥はデバイス性能にそれほど重大な影響を与えないと信じられており、そのために、許容密度はより小さなキルレートに基づいて計算されている。これらの欠陥をカウントし、サイズを測り、組成と形状を決めるレーザ走査あるいはその他の評価装置は重要な測定法課題である。検出限界サイズは改善され続けているが、組成と形状識別は不十分なままである。このようなので、表面欠陥の除去と防止はシリコンウェーハ技術において極限技術を駆使したチャレンジであり続ける。

ゲート酸化膜耐圧や他の歩留まり劣化要因の結晶成長パラメータ依存性は点欠陥やその集合体の役割共々精力的に実証されてきた。そこに出てくる欠陥密度(D₀)は何世代ものデバイスに対して材料品質の尺度として効果的に使われてきた。しかし、EOT<2nmのデバイスに対してはこのパラメータはもはやデバイスの歩留まりや性能の指標にはならず、従って、要求項目として、Table FEP2aとFEP2bには含まれていない。しかし、high-kゲート絶縁膜が導入された時にプリおよびポストゲート表面処理方法が変更されるならばスターティングマテリアル清浄度の要求は変わるかも知れないことを指摘する(表面処理の章を参照)。

SOIウェーハの評価技術は重要な課題である。可視光で動作する光学測定装置は、SOIを評価するにあたって、鏡面ウェーハあるいはエピタキシャルウェーハを評価するのと同じ能力を持ってはいない。SiとBOX層からの多重反射による干渉効果は、鏡面ウェーハやエピタキシャルウェーハに比べて、これらの測定装置の応答を本質的に変えてしまい、一般的には、測定能力が劣化する。少なくとも10nmより厚い表層シリコン層に対して、最近開発された紫外/遠紫外波長光学装置は、その波長での光吸収深さが非常に小さいので、干渉効果などによる困難さを低減するのに役立つことが分かった。様々なSOI欠陥カテゴリーに対する評価法は、種々のタイプの欠陥をデコレートするが一義的な識別は出来ない化学的破壊エッチングを必要とする。これらの様々な欠陥は全てが同じ起因、大きさ、デバイス歩留まりに対するインパクトではなく、そのために、異なったキルレートとなる。これに加えて、検査しているシリコン層を完全にエッチングしてしまうことを避けるために極めて小さいエッチング取り代となるが故に、非常に薄い表層シリコン層SOIウェーハのデコレート欠陥エッチングは極めて困難である。非破壊で早いターンアラウンドである評価方法がSOI材料の電気的性質や構造欠陥測定に必要である。最後に、種々の歪みシリコン構造評価問題(空間的に変化する歪み水準とSi:Ge組成、独特な表面ラフネスはもとより貫通転位とそれに関連する欠陥)は相当な努力が必要とされる(エマージングマテリアル章参照)。

SOIウェーハの層厚と均一性がTable FEP2aとFEP2bにある。これらのウェーハに対しては、昨今の広範囲なICアプリケーションは相当広範囲なSiデバイス層厚と埋め込み酸化膜(BOX)厚を必要とする。幾つかのやり方によるSOIウェーハ製造は、この範囲のSOIアプリケーションに供給可能な生産となった。電子移動度を増加させ、それよりかなり小さいが正孔移動度も増加させる二軸引っ張り歪みがSi層に掛かっているのを除けば従来のSOIと同じ層構造である歪みSOI(sSOI)を、ある場合には、含んでいる。歪みシリコンはもっと詳細にこの章の**エマージングマテリアル**節で論じられている。このTableは部分空乏型(PD)と完全空乏型(FD)デバイスに対する購入時のシリコン厚¹¹である。PD厚値は2020年まで延長してあるが、2012年頃には実際のアプリケーションはマルチゲートデバイスであると予想される。大まかには、これらのPD値はマルチゲートデバイスの予想シリコン厚と一致している。業界内の実際の製造状況と一致させるために、2010年以前のFD厚の値はTable FEP2aから削除してある。

¹⁰ 訳注: kill rate/kill ratio は欠陥の何%が歩留まりに影響するかの値。

¹¹ 訳注: 表層シリコン厚。

解決策候補 – Figure FEP2 は最も重要なスターティングマテリアル課題のリストと、特定できた可能な解決策を示し、これらの解決策の開発と大量生産移行のタイミングなども示す。Table FEP2a と FEP2b に一致して、Figure FEP2 は、300mmあるいはそれ以上の大口径ウェーハで作られる最先端 DRAM と高性能 MPU の要求を反映している。しかし、90nm 技術世代以降での 200mm ウェーハの利用は行われており、必要なフラットネスとナノポグラフィック水準を達成するために両面鏡面研磨が必要であることを指摘する。このタイプのウェーハの推進にはウェーハサプライヤーとユーザーに追加投資が必要となる。

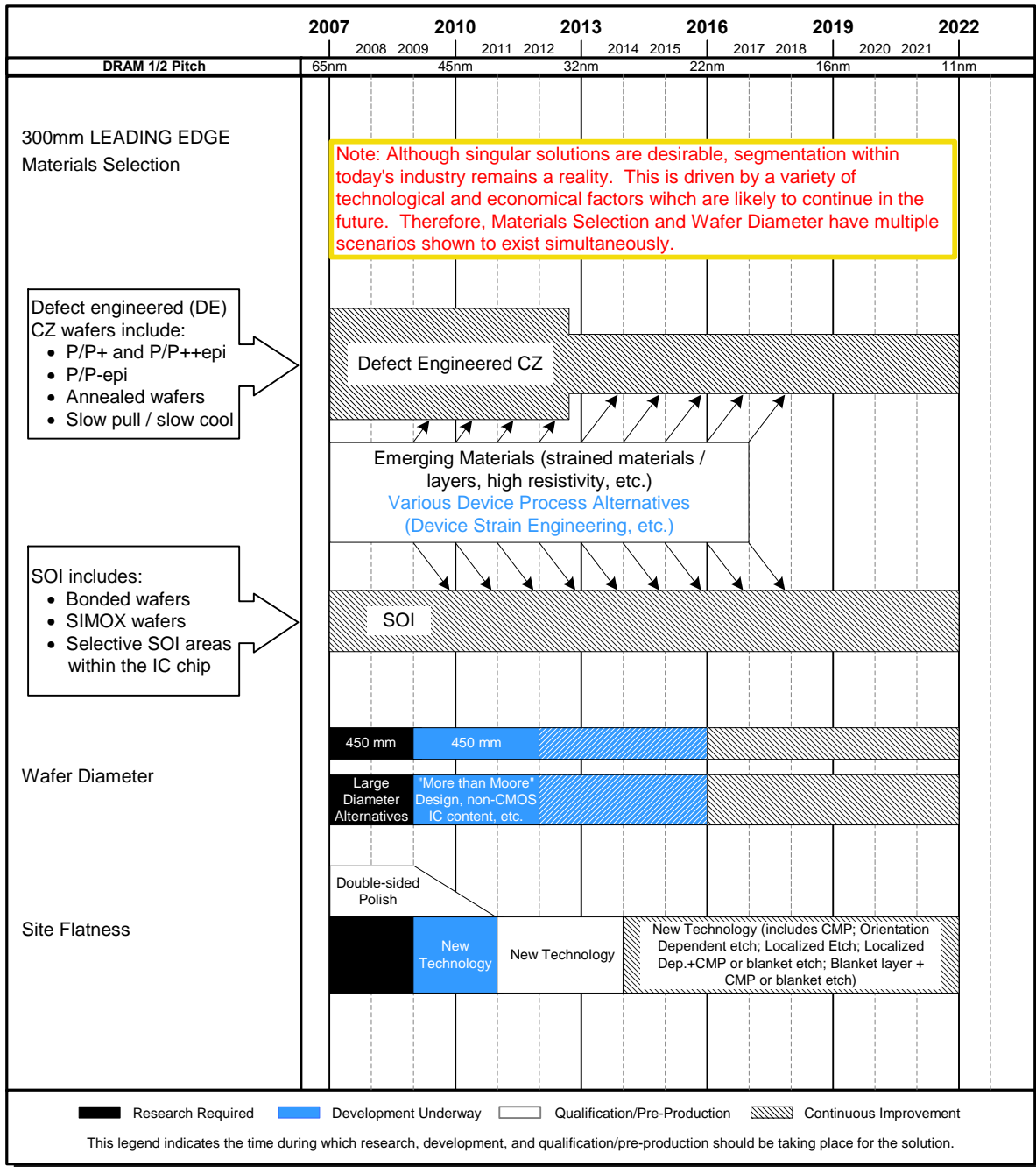


Figure FEP2 Starting Materials Potential Solutions

材料選択 – 材料選択カテゴリーは二つに分かれる一欠陥制御 CZ と SOI ウェーハ。材料タイプの選択は、IC アプリケーションとコストパフォーマンス最適化に強く依存する。前者はコストに敏感なアプリケーションに使われ、後者は性能に敏感なアプリケーションに使われる。Figure FEP2 に書いてあるように、解決策候補は分散し、そのことは使えるリソースに対する大きな課題をもたらす。

エマージングマテリアル – ITRS の目標を満たすために他の方法を増補する材料の解決策、エマージングマテリアル、の活用はシリコン業界の将来にとって極めて重要であり続ける。ITRS2007 には、エマージングマテリアルの三つの明確なカテゴリーが特定されている: 1) 熱管理解決策、2) 移動度増大解決策、3) システムオンチップ解決策。将来のマイクロエレクトロニクスアプリケーションの熱管理解決策(即ち、熱損失特性の改善)を潜在的に提供できるエマージングマテリアルの例は次のようなものである: シリコンオンダイヤモンド、 SiO_2 より熱伝導度の高い材質の絶縁物、例えば、 Al_2O_3 (アルミナ)あるいは窒化シリコンを使った SOI。熱損失に関係した事項に加えて、将来のマイクロエレクトロニクスシステムはシリコンより大きな移動度を持つトランジスタチャンネルが特徴となろう。チャンネル移動度の増大と目的としたエマージングマテリアルの解決策候補には、歪みシリコン、ゲルマニウム(歪み緩和した、あるいは、歪んでいる)とカーボンナノチューブなどがある。最後に、新しい機能性を古典的な CMOS 論理アーキテクチャに組み込むこともまたエマージングマテリアルの革新をもたらす。高抵抗シリコン基板とシリコン上のモノリシック光配線はシステムオンチップの解決策候補である。将来のマイクロエレクトロニクスが直面している重要な課題に対する技術的な解決策を潜在的にもたすけれども、これらエマージングマテリアルのトピックスは、今年の ITRS2007 Table FEP2a と FEP2b に詳細な仕様を記載するには成熟度が足りない。しかし、これらのトピックスは見守り続けられであろうし、ITRS スターティングマテリアルチームのエマージングマテリアル小委員会は [詳細な注釈と参考文献をオンライン読者のために纏めた](#)。

ウェーハ直径 – 生産性増大の一部は、歴史的にはウェーハ大口径化によって達成されてきた。業界が重大な経済的課題に直面した時期に 200mm から 300 mm への移行が起きた。このような事情が、歴史的周期に基づく予想タイミングに対して、この直径による大量生産開始を実質上遅らせた。これは、既に、300 mm から 450 mm への移行タイミングに影響している。先行するウェーハハンドリング操作に使われるメカニカル Si ウェーハ“標準”草案を検討する活動が業界内で最近ある程度増えたが、必要とされる 2012 年に大口径化を達成するスケジュールから業界は相当遅れている。450mm シリコンウェーハ導入に関する問題点は別途編集され、[450mm ポジションペーパーとしてオンラインで入手できる](#)。

サイトフラットネス – 300mm ウェーハが両面ポリッシュになることでサイトフラットネス工程能力を業界は本質的に高められた。この根本的な進歩の更なる改善は IC メーカーの 45nm あたりの技術世代の要求を満たすと予想される。この時点以降の引き続き改善は、Figure FEP2 と付随テキストで議論されているようなものを含む新しいフラットネス改善技術を取り入れることが必要になろう。しかし、次世代リソグラフィは実際のフラットネス要求に大きなインパクトを与えるかも知れない。

表面処理

フロントエンドの表面処理への技術要求は、技術的クロスワード的にまで達してきた。モデルは、歴史的に発展技術に向けた ITRS 計画を実行する事によって、クリティカルなパーティクル数や表面金属を含んだ形で、前洗浄基準が決定されてきた。結果として、新しい積極的なモデルの欠乏により、ゲート前洗浄の理解は今もそして今後も変化は無い。ウルトラシャロージャンクションの効果的な洗浄、新しいインテグレーション計画、新しい材料、新しいトランジスタ構造は、フロントエンドの表面処理に対して、新しい要求を出す事になるだろう。CMP におけるセリアベースのスラリー使用、せり上げソースドレイン用エピタキシャル SiGe の使用、新しいキャパシター材料、高ドーズ注入されたレジストの除去能力、材料に衝撃を与える事の無い小さなパーティクル除去、高アスペクトコンタクトは、新技術開発や薬液そして乾燥の開発を要求するであろう。

表面処理の技術要求を Table FEP3a 及び FEP3b に示す。[より多くの詳細は補足材料関連利用の事](#)。Table FEP3a の中に表面処理の困難な挑戦も含まれている。Hf ベースの材料が 45nm 及び 32nm の技術世代に実行される準備ができて見えるが、フロントエンドの表面処理のニーズを定量化する事は、将来のゲート絶縁膜、ゲート電極、またそれらの特性に関連したデータの不足により、問題を含め続ける。メタルゲート材料とそれらのインテグレーション計画は未だ研究段階である。しかし、デュアルメタル CMOS デバイスで使われるメタルは、デバイス性能に影響しないレベルにまで、やはり洗浄されなければならない。

ウェーハ表面および裏面上の微粒子汚染は、ますます厳しいレベルで注目されつづける。構造またはエッチング材料へのダメージのないパーティクルレベルの制御は、困難な挑戦と見なされる。ポアソン分布は、歩留まりに基づいた表面パーティクルの許容欠陥密度を決定するために使われ続ける。キラ欠陥サイズやクリティカルなパーティクル径は、技術世代と共に減少し続ける。特徴的なサイズが減少する間、増加しているダイサイズで、モデルは分かれた。新しいモデルは、直径 30nm 未満のパーティクルデータ不足のために間に合わない。これら将来のモデルが、歩留まり要求をより重要とし、歩留まり向上ロードマップとの互換性を保証するために、**歩留まり向上 TWG** によって要求されるであろう。

歴史的にクリティカルなパーティクル数は、DRAM 技術を基本としており、1 チップにつき DRAM のハーフピッチ、セル面積、1 チップ辺りのファンクション数(ギガ・ビット)、そしてチップサイズの変化によって変動してきた。表面処理 Sub-TWG チームの合意は、デバイスメーカーによって使用されるクリティカルなパーティクルレベルが対応する方法で変動してはならない。一度、最小限レベルが達成されるならば、スペックは技術の変化で増加してはいけない。Flashの最小寸法が、DRAM よりも 2 年先行していることから、技術発祥としての DRAM の使用が再審査下にある事も注意すべきである。

裏面とベベルエッチ欠陥とパーティクルについては、歩留りへの影響に注意し、より徹底的に調査されている。現在、ウェーハ裏面やエッジでの欠陥を検出するための装置が商業ベースで市販されており、さらに多くの歩留りに関するデータが、もうすぐ出てくるはずである。しかしながら、裏面パーティクルで最小レベルが望ましいと言う理解で、殆どデータが無い、そして殆どのモデルは、ウェーハ表面の歩留りと裏面パーティクルのサイズや密度を結び付ける事ができない。パーティクルサイズに基づいた裏面パーティクルの適切なスペックに関して未だ制限されているが、それらがホトリソの焦点深度に影響を与える様なあまりに大きくては(50 ミクロンより大きい)ならない事については合意されている。更なる説明についてはテーブル注釈を参照のこと。

2007 年に、表面処理の Sub-TWG チームは、先端のプロセスが唯一有効な技術の挑戦を常に示す訳ではないことを容認した。マリ方程式によって用いられるプロセスステップごとの 99%の歩留りは、99.99999%の歩留り(いわゆる 0ppm が必要である医療や自動車産業用のアプリケーションにたいして充分なものでは無い)。キラ欠陥が、これら昔の技術のために非常に大きなサイズになっているが(それは 10 年だけ先端 CMOS を遅らせるかもしれない)、この歩留りに見合うために克服しなければならない表面処理の挑戦は、同じく、重い課題であって、ロードマップのはるか下の方で欠陥密度の議論のために数を必要としている。これは、将来の ITRS 版で解決される話題である。

パーティクルコンタミネーションの制御は、構造的なダメージをゼロにする事で、酸化膜とシリコン膜の損失を最小にする必要が、より挑戦的になるであろう。酸化膜とシリコンロスの要求は、表面処理のロードマップでどの様なアイテムにおいても多くの議論を引き起こしてきた。プレーナ型 CMOS デバイスでのこの要求は、ゲート後洗浄の工程において最も重要になる。ゲート前洗浄への要求は、一般に重要なものとされていない。しかし、デバイス構造が MUGFETs (Multigate field effect transistors) と FinFETs に進化する事で、その要求は、将来変化するかも知れない。ゲート後洗浄工程に対する値というのは、ダメージが無いポリシリコン層と酸化膜層基板を用いて、多数回のアッシング/洗浄を行った結果の平均値であって、デバイスウェーハを用いた単一洗浄の結果ではない。シリコンと酸化膜ロスの数値は、エクステンション領域が露出された、全てのゲート後、またインプラ後のマスク洗浄工程等の組み合わせで緩和された値として表されてもいる。この要求値は、会社から会社で異なるであろう。なぜなら、デバイスタイプによってゲートエッチング後の洗浄は大きく異なるだろうし、USJ (Ultra shallow junction) プロファイルもデバイスに依存するだろうから。DRAM デバイスではゲートエッチ後の洗浄はわずか 4 回しかないが、システム・オン・チップ (SOC) RF とアナログデバイスは、2~3 倍のゲート種類があるだろうし、有りがちなフォトレジストのリワークを含めないと、12 以上のレジスト剥離回数になるだろう。これらのデバイスは、確かに、テーブルリストされている、材料ロスの値に必要な。キャッピングレイ

ヤーの存在とその種類は USJ のプロフィールと、その結果として許容される材料ロスの量に対して、大きく影響するだろう。

埋め込み酸化膜層の界面で金属が堆積するかもしれないという証拠があつて、2010 年までの SOI の導入と、エレベーターソース/ドレインの実現は、金属汚染の許容レベルに影響を及ぼすかもしれない。これが、許容金属レベルに対して、どの様に影響を及ぼすかは未だ明らかではなく、そして、これらのテーブルで説明されてこなかった。クリティカルなパーティクルスペックの様に、PIDS チームによって述べられている様に、以前のロードマップの金属に対する要求は、テクノロジー変化で変動してきた。許容金属レベルへの要求がテクノロジーの変化で増加する事は無いという類似した決定がなされた。

デバイスが、堆積によるゲート絶縁材料や、歪みチャネルを形成するためのエピタキシャル Si、SiGe 等を用いて作り始めており、界面制御は、ますます重要になってきている。high-k ゲート絶縁膜は成膜前に酸化もしくは窒化された表面を必要とするかもしれない。ところが、エピタキシャル Si は酸化膜の無い表面を必要とする。表面処理が high-k 成膜前に行く要求は、おそらく、従来の酸化炉や急速熱処理工程よりも、低いカーボンと酸素条件が必要になるであろう。high-k ゲート絶縁膜は物理的な膜厚が厚くなる事によって、金属コンタミ制御に対する要求が緩和されるかもしれない。その適切なレベルは、安定したベースラインで定められて、プロセスを通じてモデル化される必要がある。現在は未だ調査段階である。ゲート形成後、エッチング後洗浄は、high-k 絶縁膜と金属ゲート電極との互換性を導き込まなければならない。これは、腐食もしくは酸化、CD 損失、そして金属ゲートのロスもしくはラフネスを防ぐ事も含まれている。新しい MPU や DRAM 材料は、非常に高い選択的なエッチング特性とプロセスの必要性を増やすであろう。また、これらは有害な ESH 効果なしで導入されなければならない。

ウオーターマークや乾燥に関連した欠陥が、洗浄された表面で寛容に取り扱われる事ができないという一般的な理解がある。従って、テーブルを挟んで「0」と示したウオーターマークのための項目は、2007 年のロードマップにおいて削除されている。それでも、高いアスペクト比構造を乾燥させる事は、進行中の問題のままとなっている。

Table FEP3a Front End Surface Preparation Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	Driver
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25	D ½
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25	M
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10	M
Wafer diameter (mm)	300	300	300	300	300	450	450	450	450	D ½, M
Wafer edge exclusion (mm)	2	2	2	2	2	1.5	1.5	1.5	1.5	D ½, M
<i>Front surface particles</i>										
Killer defect density, D _p R _p (#/cm ²) [A]	0.11	0.14	0.17	0.11	0.14	0.17	0.11	0.14	0.17	D ½
Critical particle diameter, d _c (nm) [B]	32.5	28.3	25.0	22.5	20.0	17.9	15.9	14.2	12.6	D ½
Critical particle count, D _{pw} (#/wafer) [C]	75.4	75.4	75.4	74.7	74.7	270.6	170.5	170.5	170.5	D ½
Back surface particle diameter: lithography and measurement tools (µm) [D]	0.12	0.12	0.1	0.1	0.1	0.1	NA	NA	NA	D ½
Back surface particles: lithography and measurement tools (#/wafer) [E]	200	200	200	200	200	200	NA	NA	NA	D ½
Back surface particle diameter: all other tools (µm) [D]	0.16	0.16	0.14	0.14	0.14	0.14	NA	NA	NA	D ½
Back surface particles: all other tools (#/wafer) [E]	200	200	200	200	200	200	NA	NA	NA	D ½
Critical GOI surface metals (10 ¹⁰ atoms/cm ²) [F]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	MPU
Critical other surface metals (10 ¹⁰ atoms/cm ²) [F]	1	1	1	1	1	1	1	1	1	MPU
Mobile ions (10 ¹⁰ atoms/cm ²) [G]	2	2	2	2	2	2	2	2	2	MPU
Surface carbon (10 ¹³ atoms/cm ²) [H]	1.2	1	0.9	0.9	0.9	0.9	0.9	0.9	0.9	
Surface oxygen (10 ¹³ atoms/cm ²) [I]	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	D ½, M
Surface roughness LVGX, RMS (Å) [J]	4	4	4	2	2	2	2	2	2	
Silicon and oxide loss (Å) on polysilicon blanket test wafers per LDD clean step—DRAM [K]	1.5	1.2	1.2	◆0.9	◆0.9	◆0.9	◆0.6	◆0.6	◆0.6	M
Silicon and oxide loss (Å) on polysilicon blanket test wafers per LDD clean step—Microprocessor/SoC/Analog [L]	0.5	0.4	0.4	◆0.3	◆0.3	◆0.3	◆0.2	◆0.2	◆0.2	M

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

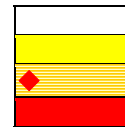


Table FEP3b Front End Surface Preparation Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022	Driver
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11	D ½
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	22	20	18	16	14	13	11	M
MPU Physical Gate Length (nm)	9	8	7	6	6	5	4	M
Wafer diameter (mm)	450	450	450	450	450	450	450	D ½, M
Wafer edge exclusion (mm)	1.5	1.5	1.5	1.5	1.5	1.5	1.5	D ½, M
Front surface particles								
Killer defect density, D _p R _p (#/cm ²) [A]	0.11	0.14	0.17	0.11	0.14	0.17	0.11	D ½
Critical particle diameter, d _c (nm) [B]	11.3	10.0	8.9	8.0	7.1	6.3	5.6	D ½
Critical particle count, D _{pw} (#/wafer) [C]	170.5	170.5	170.5	170.5	170.5	170.5	170.5	D ½
Back surface particle diameter: lithography and measurement tools (µm) [D]	NA	NA	NA	NA	NA	NA	NA	D ½
Back surface particles: lithography and measurement tools (#/wafer) [E]	NA	NA	NA	NA	NA	NA	NA	D ½
Back surface particle diameter: all other tools (µm) [D]	NA	NA	NA	NA	NA	NA	NA	D ½
Back surface particles: all other tools (#/wafer) [E]	NA	NA	NA	NA	NA	NA	NA	D ½
Critical GOI surface metals (10 ¹⁰ atoms/cm ²) [F]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	MPU
Critical other surface metals (10 ¹⁰ atoms/cm ²) [F]	1	1	1	1	1	1	1	MPU
Mobile ions (10 ¹⁰ atoms/cm ²) [G]	2	2	2	2	2	2	2	MPU
Surface carbon (10 ¹³ atoms/cm ²) [H]	0.9	0.9	0.9	0.9	0.9	0.9	0.9	
Surface oxygen (10 ¹³ atoms/cm ²) [I]	0.1	0.1	0.1	0.1	0.1	0.1	0.1	D ½, M
Surface roughness LVGX, RMS (Å) [J]	2	2	2	2	2	2	2	
Silicon and oxide loss (Å) on polysilicon blanket test wafers per LDD clean step—DRAM [K]	◆0.6	◆0.6	◆0.6	◆0.6	◆0.6	◆0.6	◆0.6	M
Silicon and oxide loss (Å) on polysilicon blanket test wafers per LDD clean step—Microprocessor/SoC/Analog [L]	◆0.2	◆0.2	◆0.2	◆0.2	◆0.2	◆0.2	◆0.2	M

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

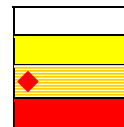


Table FEP3a と FEP3b に対する注釈

[A] キラー欠陥密度は、デバイス歩留まり 99%の解析式 $Y=0.99-\exp[-D_pR_pA_{eff}]$ から計算される。A_{eff} は実効チップ面積、D_p は欠陥密度、R_p はひとつの欠陥がデバイス不良を引き起こす確率を表す欠陥キラーファクターを示す。D_pR_p の積はウェーハ上のデバイスキラー欠陥密度を示す。R_p はパーティクルの大きさや形、パーティクルの成分、デバイスレイアウトの詳細を含む多数の要因に依存する。従来は、クリティカルなパーティクル径 d_c を超えるどんなパーティクルに対しても、R_p は 0.2 と仮定された。DRAM の場合は、 $A_{eff}=2.5F^2T+(1-aF^2T/A_{chip})*0.6A_{chip}$ で、ここで F は最小の形状サイズ、a はセル占有ファクター、T はチップ当たりの DRAM ビット数(トランジスタ数)、A_{chip} は DRAM チップサイズである。MPU の場合は、 $A_{eff}=aT(GL)^2$ で、ここで GL はゲート長である。A_{eff} は各々の技術世代と共に増えたり減ったりするため、D_pR_p は常に年々減少するとは限らない。

[B] 歩留向上ではクリティカルなパーティクル径 d_c は、メタルのハーフピッチの 1/2 として Yield Enhancement で定義される。最も多い微粒子の汚染は不規則な形状をしているため、d_c は実効的なパーティクル径を考えるべきである。

[C] クリティカルなパーティクル径より大きな全てのパーティクルに対して、キラーファクター R_p が 0.2 であると仮定している一例が示されている。これはロードマップの前バージョンで作られた仮定であるが、普遍的に有効でなく一つの計算例の目的に対してのみ含めて考えられる。パーティクル数/ウェーハは $[R_p*3.14159*(ウェーハ半径-エッジ除外領域)^2]$ を使用して計算される。クリティカルなパーティクルサイズのパーティクル数/ウェーハから、変化を引き起こすサイズのパーティクル数/ウェーハに変換するために、提案された変換式は次のとおり： $D_{alternate}=D_{critical}*(d_{critical}/d_{alternate})^2$ 。算出された値は実際に DRAM 技術と共に変化する。しかし、デバイスメーカーによって使用される、クリティカルなパーティクルレベルは、それに対応する方法で変動すべきでは無い。一度最小レベルが達成されたら、その値は、テクノロジーの変化で増加する事は無い。

[D]と[E] プロセスやハンドリング時に付着する実験的なモデルやデータはあるが(そして、将来の Table では、これらのモデルが採用されるかもしれない。)、半導体プロセスに対して劣化させうる裏面パーティクル数や大きさに関して、業界内での合意は得られていない。結果として、裏面のコンタクト仕様が、現在の現実的な予測(どのフロントエンドプロセス装置においても接触回数を反映している。)や将来のアグレッシブなリソグラフィの改善に基づいている。リソグラフィ工程において、裏面パーティクルがウェーハ表面で焦点面をずらしクリティカルな寸法変化を引き起こすことにより、デバイス歩留まりに重大な影響を与えるという議論がなされてきた。しかしながら、どのようにピンチャックで制限された裏面接触が裏面パーティクル密度と相互に作用して、ウェーハ裏面の平坦度変化を引き起こすかについては明らかになっていない。加えて、リソグラフィのロードマップの中で明記されていないため、焦点深度 (DOF)が年々どのように変わるかについても明らかではない。リソ装置/測定装置のアグレッシブな仕様は、エッジグリップまたはエッジ接触型のハンドリングだけを必要とするかもしれない。ウェーハ裏面の仕上げ面や薄膜の大きなばらつきにより、処理中ウェーハの裏面パーティクルの絶対レベルを測定することは可能ではない。一般に可能なことは、特別のプロセスか処理時に裏面パーティクルの増加数を評価するために、鏡面ウェーハの表面を裏返しにして処理することである。裏面パーティクルの評価指標はウェーハエッジ 3mm を除外している。これらの評価指標は、どんなフロントエンドプロセス装置でも、全ての接触回数を反映する。

[F] 以前のロードマップでは、金属汚染のターゲットが、ゲート酸化膜厚の関数として金属汚染による不良を決定する経験的モデルに基づいている。しかしながら、このモデルが導かれた実験で使われた酸化膜は、現在使われているゲート酸化膜よりはるかに厚かった。

より最近のデータは、最新のアプローチが適切であることを示している。金属は、経験的に3つのクラスに分類される。^{12, 13} (a) Na や K のように簡単に洗浄可能な可動イオン。これらの可動イオンは、容量-電圧 (CV) テストでのフラットバンド電圧シフトを 50mV 以下とすることでモデル化できるだろう。(b) Ni, Cu, Cr, Co, Hf, Pt のような、シリコン中に溶解するかシリサイドを形成する金属、そして、(c) Ca, Ba, Sr のような、ゲート酸化膜の初期耐圧; GOI (Gate Oxide Integrity) の主なキラー。Fe のような金属は、分類(b)と(c)の両方になるだろう。可動イオンの目標値は、CV テストで測定される許容しきい値電圧のシフトに基づいている。GOI キラーと他の金属に対する現在の目標値は、経験的なデータに基づいている。¹⁴ 将来予測では、その影響は物理的な絶縁膜厚(EOT ではない)でスケールされるべきだが、high-k 材料の導入で物理膜厚が増加するため、目標値の予測があまり厳密ではない理由になるかもしれない。しかし、物理的な絶縁膜厚の予測と同様にそのような予測を確認するデータがない状況では、将来も目標値は一定に維持されている。最終的に、SOI の導入は、幾つかの金属が埋め込み酸化膜層の界面に蓄積することを示唆する証拠があるため、金属汚染の許容レベルに影響するかもしれない。これがどのように許容金属レベルに影響するかまだ明確になっておらず、これらの Table の中で説明されていない。将来年で考えるべきもう一つの要因は、ウェーハ当りの平均汚染とは対照的に、局在化した汚染の空間分布である。

[G] 可動性イオン D_i のモデルは、許容しきい値電圧変動量(ATVV)の一部のしきい値電圧シフトを生ずるイオン数を計算する。ATVV は 1999 年 ITRS の Table 28a の 15 列目に記載されていたが、もはやその記載がなくなっている。2003 年の可動イオンモデルの目的においては、LOP または LSTP 技術に対して ATVV が電源電圧の 3% であると仮定されている(PIDS 章を参照)。可動イオンに分配された ATVV の比率は 5% であると仮定される。従って、 $D_i = 1/q(C_{gate} * ATVV * 0.05)$ となる。ここで C_{gate} が電氣的に等価な SiO_2 ゲート絶縁膜厚さに対して計算され、 q が一つの電子の電荷である。このモデルでは、 $D_i = ((3.9 * 8.85) / 1.6) * (0.05 * ATVV / EOT) * 10^9$ となる。ここで、ATVV が mV の単位であり、EOT が nm の単位であり(PIDS 章中の LOP または LSTP 技術要求の Table からも)、酸化膜の比誘電率は 3.9 である。 D_i は ATVV に比例するだけでなく EOT に反比例するため、 D_i の値が常に年と共に減少するとは限らないことに注意してほしい。

[H] 表面処理後の有機的汚染による残存炭素量。180nm 技術世代の表面炭素量は、露出したシリコンウェーハの 10% の炭素原子被覆に相当した ($7.3E+13$ 原子/cm²)。以降の技術世代での表面炭素量は、180nm に対して CD ($1/2$ DRAM $1/2$ pitch) の比率で直線的にスケールされた。 $D_c = (CD / 180) * (7.3E+13)$

[I] $1E+12$ 原子/cm² 未満の表面酸素濃度は、エピタキシャル洗浄の要求から導かれる。シリコンと SiGe のエピタキシャル堆積は、現在いくつかのデバイスに対して使用されているが、歪シリコンチャネル技術の実施とともに、より広い範囲で見られるだろう。あるレベルの酸化物はエピタキシャル堆積前に in-situ で除去できるが、より低い堆積温度への移行により、高温水素プリバークの使用が不可能になるだろう。 $1E+13$ 原子/cm² 未満の表面酸素濃度は、シリサイド前洗浄のような処理には許容される。現在のゲート前洗浄は酸化物フリーの表面を要求しないが、酸素の中間濃度レベルは不安定なため、ゲート酸化前の表面は、連続的な酸化層によって完全に保護されるか、 $1E+13$ /cm² 未満の酸素濃度のどちらかにするべきである。酸素の中間的なレベルは不安定である。現在の high-k ゲート絶縁膜は、堆積前に酸化物無し、もしくは覆われた表面を要求するが、シリコン上に high-k 膜を堆積出来るかどうか明確にはなっていない。

[J] 2001 年の ITRS では、表面ラフネスを引き起こす表面処理によって、チャンネルモビリティが 10% よりも大きく劣化されないことが仮定されていた。さらに、現在の技術は、AFM に基づいた測定で 2 Å RMS の表面マイクロラフネスで良好に製造可能であることが要求された。このことは、付加的な粗さを引き起こす表面処理に対してほぼ正しいが、低電圧ゲート酸化(LVGX)の前洗浄直後に製品上の粗さを測定することの方がより直接的である。この場合、トータルの表面マイクロラフネスは、前洗浄、初期酸化膜除去、イオン注入スクリーン酸化、ダミーまたは犠牲酸化、高電圧用ゲート酸化の最初の酸化(デュアルゲートフロー)、プラズマ窒化で生じた粗さによって引き起こされた付加的なマイクロラフネスに加えて、スターティング基板の粗さを考慮する必要がある。これを考慮に入れて、製品は、4 Å RMS の表面マイクロラフネスで最近問題なく製造されてきた。これは、キャリアモビリティが AFM マイクロラフネス計測ツールによって典型的にサンプリングされるものより、小さな空間の周波数で主に影響を受けることを示す TCAD 予測によって、部分的に説明されるかもしれない。要求値が近期中でスケールされていない理由は、キャリア移動度が、この同時期に、一定に保たれた PIDS のロードマップになっていたためである。

[K] シリコンと酸化膜ロスの数値は、DRAM デバイスの要求によって決められおり、DRAM プロセスフロー中で、ソース、ドレインエクステンションが形成される過程において、全ゲート、インプラ後のマスク洗浄工程など典型的な 4 つの組み合わせで寛容に取り扱うかも知れないシリコンと酸化膜ロスの事を意味している。その具体的な数値は、パターンの無いポリシリコンもしくは酸化膜テストウェーハ上で光学上測定されたシリコンと酸化膜ロスと関連している。製品上での実際の消費は、プラズマエッチング/アッシングからのダメージ、イオン注入およびドーパント濃度に依存して変わるだろう。駆動電流(Ids)への悪影響を制御するために、数値を減少させる要求に応じている。もしソースドレインのエクステンション下のシリコンが凹んでいると、接合プロファイルを変化させて、ソースドレインのエクステンション抵抗を増加させ、駆動電流を減少させる。同様のプロセスを仮定すると、酸化物を消費しないことによって、これはさらにシリコンを酸化し、消費するために、その後のプロセス能力を低下させる。この対応策と注入マスクレベル、接合深さおよびクリティカル寸法のような Table パラメーターを結び付ける正確なモデルを表すことはまだ出来ていない。IC メーカーは、シリコンロスを 65nm 世代では洗浄ステップ毎に 1.5 Å、57nm 世代では洗浄ステップ毎に 1.2 Å を、現在目標としている。他の技術の値は、これら 2 つの値より外挿もしくは内挿されたものである。より長期年での数値が要求されるか、あるいは、どの数値が可能なかは明らかでない。したがって、その数値は、その後 2010 年で 0.9 Å に設定され、その後一定となっている。

例えばレーザー、静電気や他の新しいプロセスの他の洗浄技術は、研究開発の高いレベル経験しており、

¹² P.W. Mertens, "Advanced Cleaning Technology," invited tutorial, UCPSS 2000, (2000), Ostende, Belgium, 31-48.

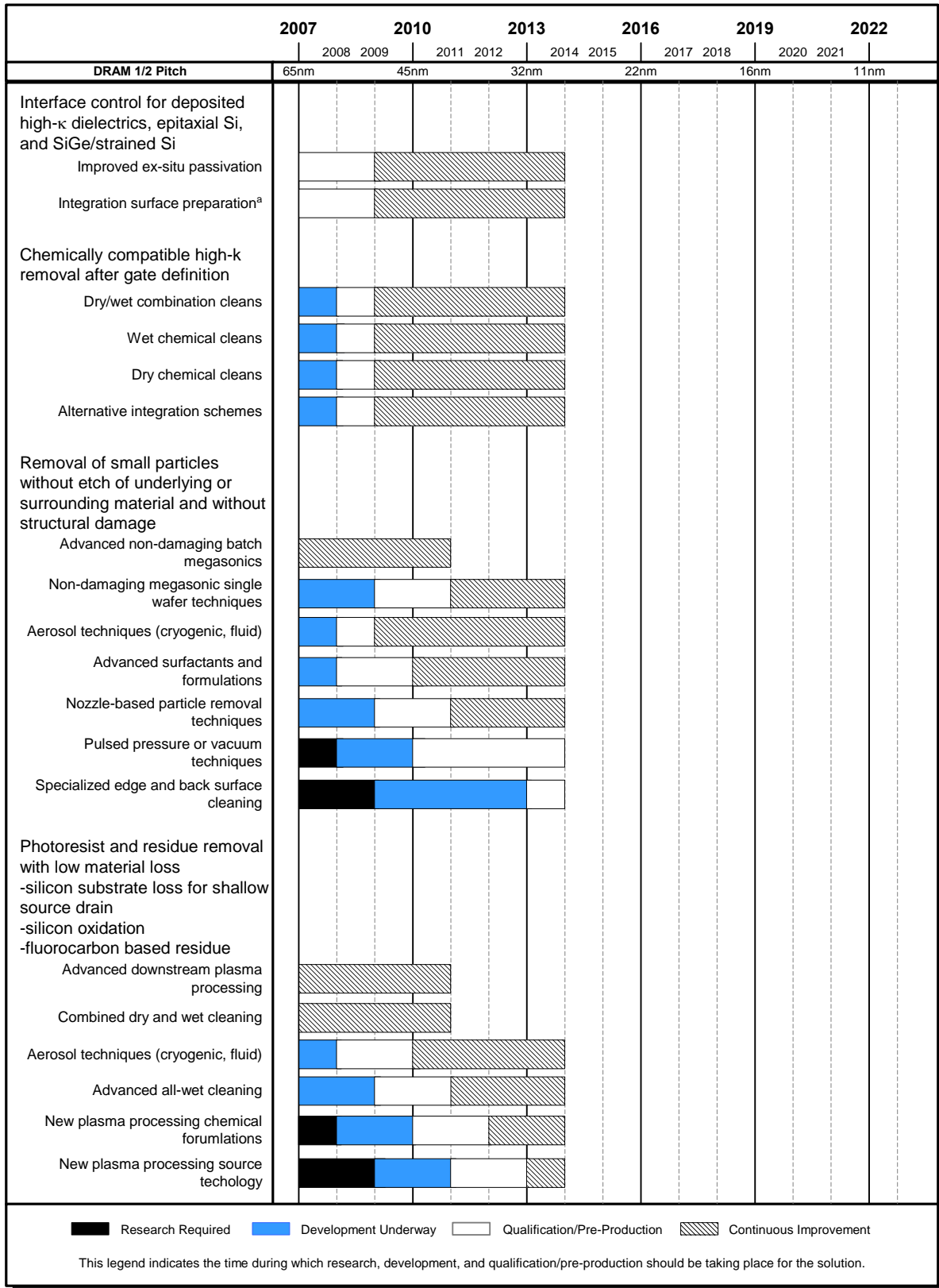
¹³ P.W. Mertens, et al., "Recent Advances in Wafer Cleaning Technology," Semicon Europa Front End Technology Conference, Munich, (April 24, 2001).

¹⁴ P. W. Mertens, T. Bearda, M. Houssa, L. M. Loewenstein, I. Teerlinck, R. Vos, I. Cornelissen, S. De Gendt, K. Kenis, M. Meuris and M. M. Heyns, "Advanced Cleaning for the Growth of Ultrathin Gate Oxide", 11th International Conference on Insulating Films on Semiconductors, Erlangen, Germany (June 16-19, 1999), in Microelectronic Engineering 48, 1999, 199.

もし実行されているならば、おそらく枚葉システム上に在るだろう。洗浄のために使用される薬液は進化し続けるだろう。特に RCA 洗浄で見られる薬液の希釈は、必然性ではない伝統的な RCA1-RCA2 で洗浄できるが、可能性段階から量産段階へ移行された。例えば、希釈 HCl リンスは多くの用途の中で SC2 (Standard Clean 2) に置き換わる。超希釈 SC1 (Standard Clean 1) もしくは NH_4OH は研究されている。それらは酸化膜やシリコンへのアタックを少なく出来るため、希釈薬液は先端工場で支持を得て採用されてきている。オゾン水プロセスは幾つかの硫酸ベースのレジスト剥離や後洗浄の代替として使用されている。インプラされたフォトレジストの剥離や洗浄に関連した材料損失の問題を対応するために、アッシングの無いプロセスに向かう傾向にある。しかしながら、プラズマ剥離や洗浄プロセスもまた進化している。新しいガスの明確化や新しいテクノロジー源は、有望な結果を示している。ゲートスタックの金属の存在は、伝統的な SPM (Sulfuric Peroxide Mixture) の代わりに、溶解力のある化学的性質で、関心と研究が行われている。レジスト除去のためのウェットのみプロセスは、全ての状況に対して適当な方法と言うわけではなく、また低温エアロゾル処理の様な技術で、アッシング無しレジスト除去を可能にするために、研究が行われている。材料の将来性の問題は、特徴付けられて、理解される必要がある。最終的に、先端リソグラフィのための液浸リソグラフィや新レジスト明確化の出現は、更に新しい洗浄への挑戦となるだろう。

22nm での表面処理の挑戦がどのような事が発生するかは明らかではなく、短期的な(2013 年、32nm 向け)事のみ、潜在的な解決が示されている。SiGe や III-V の表面だけでなく縦方向の表面に対する洗浄や測定技術は新しい挑戦になるだろう。過去の場合の様に、現行そして将来の表面処理のプロセスは、継続的な改良努力が主題になっている事が期待される。

ESH や歩留まり向上の様な他技術は、表面処理と互いに密接に関わっている。薬液の使用量削減、薬液や水のリサイクル、より無害な薬液を用いた代替プロセスは、ESH や CoO に利益をもたらすことが出来る。薬液や水の使用量削減努力は継続されるべきである。自動化されたプロセスモニタリングや制御は、CoO についても削減でき、これらの使用が増えることは、モニタウェーハのコストが高くなる 300mm 以上の大口径ウェーハにとって特に期待されている。新洗浄技術の要求は、液浸リソグラフィと関連して生じるが、それらは、その液浸リソグラフィ方法の実施と結び付けられるだろう。このため、新洗浄技術の要求は、将来リソグラフィ技術ワーキンググループによって項目化されるのが望ましい。表面処理は、薬液や純水中の適切な純度レベルを定義するために必要な欠陥低減技術と互いに関わり合っている。CoO を最小にするため、アグレッシブな純度ターゲットは、技術的に正当な理由がある所でのみ採用されるべきである。表面処理の全ての分野において、プロセス、欠陥低減、コスト、そして ESH の中でバランスが達成されなければならない。包括的な情報に関しては [Environment, Safety and Health](#) の章を参照すること。



a) Integrated Surface Preparation techniques include various techniques that can be coupled to the deposition chamber and allow processing to continue with minimal exposure to the atmosphere. This includes, but is not limited to, UV-based cleaning, gas phase techniques, and single wafer wet techniques.

Figure FEP3 Front End Surface Preparation Potential Solutions

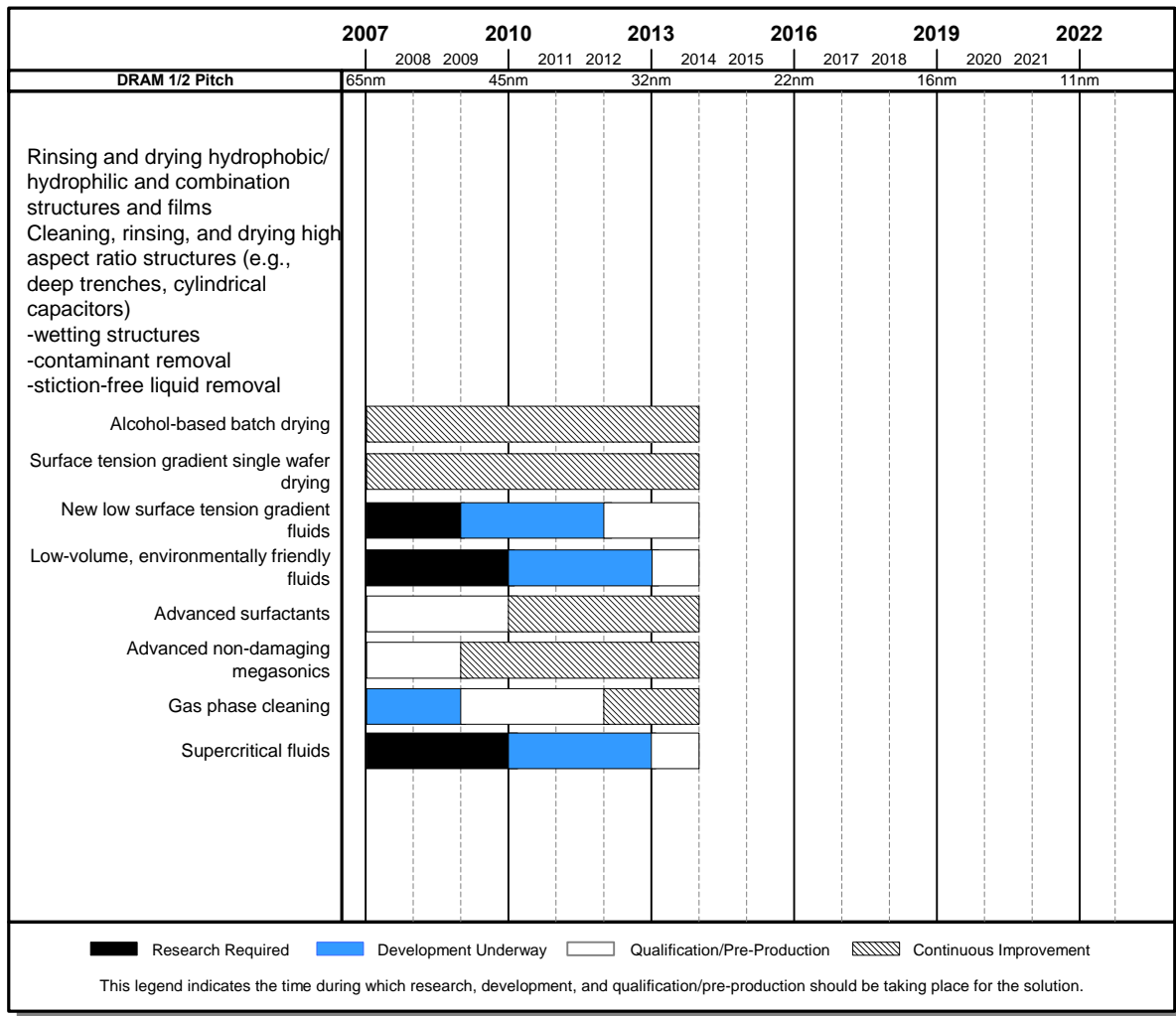


Figure FEP3 Front End Surface Preparation Potential Solutions (continued)

熱プロセス/薄膜、ドーピングおよびエッチング

フロントエンドプロセスでは高い品質と均一性、欠陥の無い膜の成長、堆積、エッチング、およびドーピングが求められる。これらの膜は、絶縁膜や導体または半導体(例えば、シリコン)である。フロントエンドプロセスの困難な挑戦は次の内容を含んでいる; (1) 信頼性が保証された極薄(電気的実効膜厚 $\leq 1.0\text{nm}$)ゲート絶縁膜の成長あるいは堆積; (2) ロジックと DRAM コンデンサーの両方に必要な適当な界面層を含んだ代替高誘電率膜の開発; (3) 空乏化しない低抵抗ゲート電極材料の開発; (4) チャンネル中への歪の形成により、NMOS、PMOS 両デバイスでのチャンネル移動度の増加を実現する信頼性の高いプロセスの開発; (5) 浅接合デバイスへの低抵抗コンタクト形成、(6) 良好な CD コントロールを可能とする、レジストトリミングとゲートのエッチングプロセスの開発。これら以外の重要な挑戦として、急峻なチャンネルドーピングプロファイルの形成、サーマルバジェットが小さい状況下において注入後の欠陥に基づくリーク電流を最小にするための欠陥の管理、および正確な側壁構造の形成がある。

PIDS の章で詳しく述べられているように、さらにデバイスのスケーリングをしてもトランジスタ性能の向上を維持するためには多くの「技術革新」が必要になると予想される。(キャリア移動度と駆動電流を上げるための)歪み Si チャンネルは最近導入され、歪みを導入するための他の方式の可能性の評価が進められている。今年、(ゲートリークを減少させ、短チャンネル効果を制御するための)high-k ゲート絶縁膜、および(ゲートスタック層の

実用上のスケーリングを律則するドーパド・ポリシリコンの空乏化を取り除くための)メタルゲートが 2008 年までには使用される計画であるということが劇的にアナウンスされた。これらの新素材と構造をうまく導入しても、プレーナ形バルク CMOS トランジスタの限界、特にしきい値電圧と駆動電圧の低下で顕著になるサブスレッショルド・リーク電流の増加により、完全空乏型の SOI(Silicon on Insulator)(あるいは GOI(Ge on Insulator))トランジスタや、マルチゲートトランジスタのような新しいデバイス構造の導入が促進されるであろう。次の 5~7 年間ににおけるこのような新素材とデバイス構造の急速な導入は、開発への挑戦のみならず、効果的で費用効率の高い生産技術と統合するという今までに例のないさまざまな挑戦を必要とする。このように技術が移り変わる時期においては、デバイス構造の選択肢が多数あることから、産業界内において異なった方針が採用されることになる。一部のデバイスメーカーではバルク CMOS でアグレッシブなスケーリングを進めるのに対し、それ以外のメーカーでは要求値が緩和される FDSOI やマルチゲートに移っていくことになる。Table FEP4a と FEP4b に、熱プロセス、薄膜、ドーピング、およびエッチングについての要求値を示した。

熱プロセス／薄膜

ゲート絶縁膜は将来のデバイススケーリングに対する最も困難な挑戦の 1 つとして浮上してきた。Table FEP4a と FEP4b にまとめられた要求から、酸化膜換算膜厚が実質的に 1nm 以下になることが示されている。直接トンネル電流と(ポリシリコン層からの)ボロンの突き抜け現象により膜厚がおおよそ 1nm 以下の酸化膜は使用されなくなる。大きな許容リーク電流を有する高速動作の用途においても、大きなリーク電流のために酸化膜の 1nm あるいはそれ以下の膜厚へのスケーリングの進展が ITRS2003 から止まっているように思われる。幸いにも、高移動度チャンネルが実現されたことで high-k 絶縁膜の必要性が数年遅れることになった。それにもかかわらず、高誘電率材料は早くも 2008 年には期待されている。同じ年には空乏化の無いメタルゲート電極が必要とされる。許容されるリーク電流が非常に小さい低消費電力用途にも、ポリシリコンゲート電極が使い続けられる訳だが、高誘電率膜は早くとも 2008 年に必要とされる。差し当たり、短期のゲート絶縁膜の解としては、極薄膜のシリコン酸化膜を使用し、製造することが求められている。

Table FEP4a Thermal, Thin Film, Doping and Etching Technology Requirements—Near-term Years
 Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for 1E20-doped poly-Si [A, A1, A2]	1								
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.1	0.5							
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for 3E20-doped poly-Si [A, A1, A2]	1.2	0.71	0.54	0.41					
Equivalent physical oxide thickness for bulk MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]		0.9	0.75	0.65	0.55	0.5			
Gate dielectric leakage at 100 °C (A/cm ²) bulk high-performance [B, B1, B2]	8.0E+02	8.7E+02	1.0E+03	1.1E+03	1.3E+03	1.4E+03			
Metal gate work function for bulk MPU/ASIC $ E_{cv} - \phi_m $ (eV) [C]		<0.2	<0.2	<0.2	<0.2	<0.2			
Channel doping concentration (cm ⁻³), for bulk design [D]	4.8E+18	3.7E+18	4.1E+18	5.4E+18	6.6E+18	8.4E+18			
Bulk/FDSOI/DG – Long channel electron mobility enhancement factor due to strain for MPU/ASIC [E]	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8
Drain extension X_d (nm) for bulk MPU/ASIC [F]	12.5	11	10	9	8	7			
Maximum allowable parasitic series resistance for bulk NMOS MPU/ASIC \times width ((Ω - μ m) from PIDS [G]	200	200	200	180	180	180			
Maximum drain extension sheet resistance for bulk MPU/ASIC (NMOS) (Ω /sq) [G]	650	740	810	900	1015	1160			
Extension lateral abruptness for bulk MPU/ASIC (nm/decade) [H]	2.5	2.3	2.0	1.8	1.6	1.4			
Contact X_c (nm) for bulk MPU/ASIC [I]	27.5	25.3	22	19.8	17.6	15.4			
Allowable junction leakage for bulk MPU/ASIC (μ A/ μ m)	0.34	0.71	0.7	0.64	0.74	0.68			
Sidewall spacer thickness (nm) for bulk MPU/ASIC [J]	27.5	25.3	22	19.8	17.6	15.4			
Maximum silicon consumption for bulk MPU/ASIC (nm) [K]	13.8	12.7	11	9.9	8.8	7.7			
Silicide thickness for bulk MPU/ASIC (nm) [L]	17	15	13	12	11	9			
Contact silicide sheet R_s for bulk MPU/ASIC (Ω /sq) [M]	9.6	10.5	12.1	13.5	15.1	17.3			
Contact maximum resistivity for bulk MPU/ASIC (Ω -cm ²) [N]	1.2E-07	1.0E-07	9.2E-08	7.0E-08	6.2E-08	5.6E-08			
STI depth bulk (nm) [O]	353	339	335	331	323	316			
Trench width at top (nm) [P]	65	57	50	45	40	35			
Trench sidewall angle (degrees) [Q]	>87.4	>87.6	>87.9	>88.1	>88.2	>88.4			
Trench fill aspect ratio – bulk [R]	6.0	6.5	7.2	7.9	8.6	9.5			
Equivalent physical oxide thickness for FDSOI MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]				0.7	0.6	0.55	0.5	0.5	0.5
Gate dielectric leakage at 100°C (A/cm ²) FDSOI high-performance [B, B1, B2]				1.1E+03	1.3E+03	1.4E+03	1.5E+03	1.8E+03	2.0E+03
Metal gate work function for FDSOI MPU/ASIC $\phi_m - E_i$ (eV) NMOS/PMOS [S]				±0.15	±0.15	±0.15	±0.15	±0.15	±0.15
Saturation velocity enhancement factor MPU/ASIC [T]	1	1.1	1.1	1.1	1*	1*	1*	1*	1*
Si thickness FDSOI (nm) from PIDS [T]				5.5	5.2	4.5	4	3.5	3.2
Maximum allowable parasitic series resistance for FDSOI NMOS MPU/ASIC \times width ((Ω - μ m) [G]				180	180	180	170	160	160
Maximum drain extension sheet resistance for FDSOI MPU/ASIC (NMOS) (Ω /sq) [G]				730	770	890	1000	1150	1250
Spacer thickness, FDSOI elevated contact [J]				9.9	8.8	7.7	7.2	6.1	5.5
Thickness of FDSOI elevated junction (nm) [U]				18	16	14	13	11	10
Maximum silicon consumption for FDSOI MPU/ASIC (nm) [K]				18	16	14	13	11	10
Silicide thickness for FDSOI MPU/ASIC (nm) [L]				22	19	17	16	13	12

Table FEP4a Thermal, Thin Film, Doping and Etching Technology Requirements—Near-term Years

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Contact silicide sheet R_s for FDSOI MPU/ASIC (Ω/sq) [M]				7.4	8.3	9.5	10.2	12.1	13.3
Contact maximum resistivity for FDSOI MPU/ASIC ($\Omega\text{-cm}^2$) [N]				7.2E-08	6.5E-08	5.8E-08	4.8E-08	4.0E-08	3.5E-08
Trench fill aspect ratio – FDSOI [V]				0.6	0.6	0.6	0.6	0.6	0.6
Equivalent physical oxide thickness for multi-gate MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]					0.8	0.7	0.6	0.6	0.6
Gate dielectric leakage at 100°C (nA/ μm) multi-gate high-performance [B, B1, B2]					1.25E+03	1.43E+03	1.54E+03	1.82E+03	2.00E+03
Metal gate work function for multi-gate MPU/ASIC [S]					midgap	midgap	midgap	midgap	midgap
Si thickness for multi-gate (nm) from PIDS [U]					9.5	8.5	7.5	6.5	6
Maximum allowable parasitic series resistance for multi-gate NMOS MPU/ASIC \times width ($(\Omega\text{-}\mu\text{m})$) [G]					180	180	170	160	160
Maximum drain extension sheet resistance for multi-gate MPU/ASIC (NMOS) (Ω/sq) [G]					425	475	535	615	670
Spacer thickness, multi-gate elevated contact [J]					8.8	7.7	7.2	6.1	5.5
Thickness of multi-gate elevated junction (nm) [T]					16	14	13	11	10
Maximum silicon consumption for multi-gate MPU/ASIC (nm) [K]					16	14	13	11	10
Silicide thickness for multi-gate MPU/ASIC (nm) [L]					19	17	16	13	12
Contact silicide sheet R_s for multi-gate MPU/ASIC (Ω/sq) [M]					8.3	9.5	10.2	12.1	13.3
Contact maximum resistivity for multi-gate MPU/ASIC ($\Omega\text{-cm}^2$) [N]					6.6E-08	6.1E-08	5.1E-08	4.2E-08	3.8E-08
Physical gate length low operating power (LOP) (nm)	32	28	25	23	20	18	16	14	13
Equivalent physical oxide thickness for bulk low operating power T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.2	0.8	0.7	0.6	0.5	0.5			
Equivalent physical oxide thickness for bulk low operating power T_{ox} (nm) for metal gate [A, A1, A2]		1.1	1	0.9	0.8	0.8			
Gate dielectric leakage at 100°C for bulk (A/cm^2) LOP [B, B1, B2]	7.8E+01	8.9E+01	1.0E+02	1.1E+02	1.3E+02	1.4E+02			
Metal gate work function for bulk low operating power $ E_{cv} - \phi_m $ (eV) [S]		<0.2	<0.2	<0.2	<0.2	<0.2			
Allowable junction leakage for bulk LSTP (pA/ μm)	10	10	10	10	16	21			
Equivalent physical oxide thickness for FDSOI low operating power T_{ox} (nm) for metal gate [A, A1, A2]					0.9	0.9	0.8	0.8	0.8
Gate dielectric leakage at 100°C for FDSOI (A/cm^2) LOP [B, B1, B2]					1.3E+02	1.4E+02	1.6E+02	1.8E+02	1.9E+02
Metal gate work function for FDSOI and multi-gate LOP [S]					midgap	midgap	midgap	midgap	midgap
Equivalent physical oxide thickness for multi-gate low operating power T_{ox} (nm) for metal gate [A, A1, A2]					0.9	0.9	0.9	0.8	0.8
Gate dielectric leakage at 100°C for multi-gate (A/cm^2) LOP [B, B1, B2]					1.3E+02	1.4E+02	1.6E+02	1.8E+02	1.9E+02
Physical gate length low standby power (LSTP) (nm)	45	37	32	28	25	23	20	18	16
Equivalent physical oxide thickness for bulk low standby power T_{ox} (nm) for 1.5E20-doped poly-Si [A, A1, A2]	1.9	1.2	1.1	1	0.9	0.8	0.7		
Equivalent physical oxide thickness for bulk low standby power T_{ox} (nm) for metal gate [A, A1, A2]		1.6	1.5	1.4	1.3	1.2	1.1		
Gate dielectric leakage at 100°C for bulk (A/cm^2) LSTP [B, B1, B2]	6.7E-02	8.1E-02	9.4E-02	1.1E-01	1.2E-01	1.3E-01	1.5E-01		
Metal gate work function for bulk LSTP $ E_{cv} - \phi_m $ (eV) [S]		<0.2	<0.2	<0.2	<0.2	<0.2	<0.2		
Equivalent physical oxide thickness for FDSOI low standby power T_{ox} (nm) for metal gate [A, A1, A2]						1.3	1.2	1.1	1.1
Gate dielectric leakage at 100°C for FDSOI (A/cm^2) LSTP [B, B1, B2]						1.3E-01	1.5E-01	1.7E-01	1.9E-01
Metal gate work function for FDSOI and multi-gate LSTP $\phi_m - E_i$ (eV) NMOS/PMOS [S]						± 0.1	± 0.1	± 0.1	± 0.1

Table FEP4a Thermal, Thin Film, Doping and Etching Technology Requirements—Near-term Years

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
Equivalent physical oxide thickness for multi-gate low standby power T_{ox} (nm) for metal gate [A, A1, A2]						1.4	1.3	1.2	1.1
Gate dielectric leakage at 100°C for multi-gate (A/cm^2) LSTP [B, B1, B2]						1.3E-01	1.5E-01	1.7E-01	1.9E-01
Thickness control EOT (% 3 σ) [W]	< \pm 4	< \pm 4	< \pm 4	< \pm 4	< \pm 4	< \pm 4	< \pm 4	< \pm 4	< \pm 4
Poly-Si or metal gate electrode thickness (approximate) (nm) [X]	50	46	40	36	32	28	26	22	20
Gate etch bias (nm) [Y]	17	15	14	12	11	10	8	8	7
L_{gate} 3 σ variation (nm) [Z]	3	2.76	2.4	2.16	1.92	1.68	1.56	1.32	1.2
Total maximum allowable lithography 3 σ (nm) [AA]	2.60	2.39	2.08	1.87	1.66	1.45	1.35	1.14	1.04
Total maximum allowable etch 3 σ (nm), including photoresist trim and gate etch [AA]	1.5	1.38	1.2	1.08	0.96	0.84	0.78	0.66	0.6
Resist trim maximum allowable 3 σ (nm) [AB]	0.87	0.8	0.69	0.62	0.55	0.48	0.45	0.38	0.35
Gate etch maximum allowable 3 σ (nm) [AB]	1.22	1.13	0.98	0.88	0.78	0.69	0.64	0.54	0.49
CD bias between dense and isolated lines [AC]	\leq 15%	\leq 15%	\leq 15%	\leq 15%	\leq 15%	\leq 15%	\leq 15%	\leq 15%	\leq 15%
Minimum measurable gate dielectric remaining (post gate etch clean) [AD]	>0	>0	>0	>0	>0	>0	>0	>0	>0
Profile control (side wall angle) [AE]	90	90	90	90	90	90	90	90	90
Allowable threshold voltage variation from charge in dielectric (mV) [AF]	11	9.5	10	10	10	9	9	9	8.5
Allowable interfacial charge in high- κ gate stack (cm^{-2}) [AG]		1.54E+11	1.54E+11	1.41E+11	1.62E+11	1.76E+11	1.67E+11	2.00E+11	2.00E+11
Allowable bulk charge in high- κ gate stack (cm^{-3}) [AH]		5.50E+17	5.50E+17	5.42E+17	6.74E+17	8.02E+17	7.58E+17	8.90E+17	8.90E+17
Allowable bulk charge in high- κ gate stack (ppm) [AH]		25.0	25.0	24.7	30.6	36.5	34.4	40.5	40.5
Allowable critical metal impurity level in high- κ dielectric (ppm) [AI]		2.5	2.5	2.5	3.1	3.6	3.4	4.1	4.1
Allowable critical metal impurity level in high- κ dielectric (ppm) [AJ]	2.2	2.5	2.5	2.5	3.1	3.6	3.4	4.1	4.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

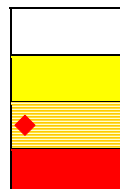


Table FEP4b Thermal, Thin Film, Doping and Etching Technology Requirements—Long-term Years

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2015	2016	2017	2018	2019	2020	2021	2022	Driver
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	25	22	20	18	16	14	13	11	MPU
MPU Physical Gate Length (nm)	10	9	8	7	6.3	5.6	5.0	4.5	MPU
Bulk/FDSOI/DG – Long channel electron mobility enhancement factor for MPU/ASIC [E]	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	MPU/ASIC
Equivalent physical oxide thickness for multi-gate MPU/ASIC T_{ox} (nm) for metal gate [A, A1, A2]	0.6	0.55	0.55	0.55	0.5	0.5	0.5	0.5	MPU/ASIC Multigate
Gate dielectric leakage at 100°C (nA/μm) multi-gate High-performance [B, B1, B2]	2.0E+03	2.2E+03	2.5E+03	2.9E+03	3.3E+03	3.3E+03	4.0E+03	4.4E+03	MPU/ASIC Multigate
Metal gate work function for multi-gate MPU/ASIC [S]	midgap	midgap	midgap	midgap	midgap	midgap	midgap	midgap	MPU/ASIC Multigate
Si thickness for multi-gate (nm) [T]	6.0	5.4	4.5	4.2	3.8	3.5	3.2	3.0	Multigate
Maximum allowable parasitic series resistance for multi-gate NMOS MPU/ASIC × width ((Ω-μm) from PIDS [G]	160	155	150	145	145	145	135	135	MPU/ASIC Multigate
Maximum drain extension sheet resistance for multi-gate MPU/ASIC (NMOS) (Ωsq) [G]	670	745	890	960	1060	1150	1250	1340	MPU/ASIC Multigate
Spacer thickness, multi-gate elevated contact [J]	5.5	5	4.4	3.9	3.5	3.1	2.8	2.5	MPU/ASIC Multigate
Thickness of multi-gate elevated junction (nm) [U]	10	9	8	7	6.3	5.6	5.0	4.5	MPU/ASIC Multigate
Maximum silicon consumption for multi-gate mpu/asic (nm) [K]	10	9	8	7	6.3	5.6	5.0	4.5	MPU/ASIC Multigate
Silicide thickness for multi-gate MPU/ASIC (nm) [L]	12	11	10	8	7.6	6.7	6.0	5.4	MPU/ASIC Multigate
Contact silicide sheet R_s for multi-gate MPU/ASIC (Ωsq) [M]	13.3	14.8	16.7	19	21.1	23.8	26.6	29.6	MPU/ASIC Multigate
Contact maximum resistivity for multi-gate MPU/ASIC (Ω-cm ²) [N]	3.8E-08	3.3E-08	2.8E-08	2.4E-08	2.2E-08	1.9E-08	1.6E-08	1.4E-08	MPU/ASIC Multigate
Physical gate length low operating power (LOP) (nm)	13	11	10	9	8	7	6.3	5.6	LOP
Equivalent physical oxide thickness for FDSOI low operating power T_{ox} (nm) for metal gate [A, A1, A2]	0.8	0.7							LOP FDSOI
Gate dielectric leakage at 100 °C for FDSOI (A/cm ²) LOP [B, B1, B2]	1.9E+02	2.3E+02							LOP FDSOI
Metal gate work function for FDSOI and multi-gate LOP [S]	midgap	midgap	midgap	midgap	midgap	midgap	midgap	midgap	LOP
Equivalent physical oxide thickness for multi-gate low operating power T_{ox} (nm) for metal gate[A, A1, A2]	0.8	0.8	0.7	0.7	0.7	0.7	0.6	0.6	LOP Multigate
Gate dielectric leakage at 100°C for multi-gate (A/cm ²) LOP [B, B1, B2]	1.9E+02	2.3E+02	2.5E+02	2.8E+02	3.1E+02	3.6E+02	4.2E+02	4.2E+02	LOP Multigate
Physical gate length low standby power (LSTP) (nm)	16	14	13	11	10	9	8	7	LSTP
Equivalent physical oxide thickness for FDSOI low standby power T_{ox} (nm) for metal gate [A, A1, A2]	1	0.9	0.8						LSTP FDSOI
Gate dielectric leakage at 100°C for FDSOI (A/cm ²) LSTP [B, B1, B2]	1.9E-01	2.1E-01	2.3E-01						LSTP FDSOI
Metal gate work function for FDSOI and multi-gate LSTP $E_i - \phi_m$ (eV) NMOS/PMOS [S]	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	LSTP
Equivalent physical oxide thickness for multi-gate low standby power T_{ox} (nm) for metal gate [A, A1, A2]	1.1	1.1	1.0	1.0	0.9	0.9	0.8	0.8	LSTP Multigate
Gate dielectric leakage at 100°C for multi-gate (A/cm ²) LSTP [B, B1, B2]	1.9E-01	2.1E-01	2.3E-01	2.7E-01	3.0E-01	3.3E-01	3.8E-01	4.3E-01	LSTP Multigate
Thickness control EOT (% 3σ) [W]	<±4	<±4	<±4	<±4	<±4	<±4	<±4	<±4	MPU/ASIC
Poly-Si or Metal Gate electrode thickness (approximate) (nm) [X]	20	18	16	14	12.6	11.2	10.0	9.0	MPU/ASIC
Gate etch bias (nm) [Y]	7	6	5	5	4.7	3.4	3.0	3.5	MPU/ASIC
L_{gate} 3σ variation (nm) [Z]	1.20	1.08	0.96	0.84	0.76	0.67	0.60	0.54	
Total maximum allowable lithography 3σ (nm) [AA]	1.04	0.94	0.83	0.73	0.65	0.58	0.52	0.47	MPU/ASIC
Total maximum allowable etch 3σ (nm), including photoresist trim and gate etch [AA]	0.60	0.54	0.48	0.42	0.38	0.34	0.30	0.27	MPU/ASIC
Resist trim maximum allowable 3σ (nm) [AB]	0.35	0.31	0.28	0.24	0.22	0.19	0.17	0.16	MPU/ASIC

Table FEP4b Thermal, Thin Film, Doping and Etching Technology Requirements—Long-term Years

Grey cells indicate the requirements projected only for intermediate, or long-term years. Near-term line items are not included.

Year of Production	2015	2016	2017	2018	2019	2020	2021	2022	Driver
Gate etch maximum allowable 3σ (nm) [AB]	0.49	0.44	0.39	0.34	0.31	0.27	0.24	0.22	MPU/ASIC
CD bias between dense and isolated lines [AC]	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	≤15%	MPU/ASIC
Minimum measurable gate dielectric remaining (post gate etch clean) [AD]	>0	>0	>0	>0	>0	>0	>0	>0	MPU/ASIC
Profile control (side wall angle- degrees) [AE]	90	90	90	90	90	90	90	90	MPU/ASIC
Allowable threshold voltage variation from charge in dielectric (mV) [AF]	8.5	8	8	8	7.5	7.5	7	7	LSTP
Allowable interfacial charge in high- κ gate stack (cm^{-2}) [AG]	1.8E+11	1.9E+11	2.2E+11	1.7E+11	1.8E+11	1.8E+11	1.9E+11	1.9E+11	LSTP
Allowable bulk charge in high- κ gate stack (cm^{-3}) [AH]	9.2E+17	1.1E+18	1.3E+18	8.6E+17	1.0E+18	1.0E+18	1.2E+18	1.2E+18	LSTP
Allowable bulk charge in high- κ gate stack (ppm) [AH]	41.7	48.4	61.3	39.2	45.4	45.4	53.6	53.6	LSTP
Allowable critical metal impurity level in high- κ dielectric (ppm) [AI]	4.2	4.8	6.1	3.9	4.5	4.5	5.4	5.4	LSTP

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

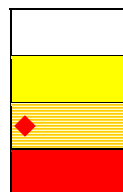


Table FEP4a と FEP4b に対する注釈

[A] この数字は、その技術の最大動作周波数で基板や電極の効果を除いた絶縁膜の実効的な厚さのみを表している。このパラメータは、基板(量子効果)と電極(空乏化)の効果を補正した容量の電気的測定を通して得られている。EOT とは異なり、電気的等価膜厚、すなわち容量等価な膜厚(CET: Capacitance Equivalent Thickness)は、ゲート(ポリシリコン)の空乏化の寄与と反転層電荷中心が Si 基板より下にあることによる量子効果の寄与を含んでいる。より詳細な EOT 測定に関しては、[リンクされたファイルにある別のワークシート](#)¹⁵で議論されている。EOT の値は、PIDS の章で示されている電気的なデバイスパラメータ(CET)から導きだされている。それぞれの技術世代におけるチャンネルの構成、ドーピングや電圧で決まる基板のダークスペースやゲート空乏化の効果は MASTER やその他のシミュレータを用いて差し引かれている。

[A1] EOT の値はゲート電極のいくつかの選択肢に対して示されている。これらは、ポリシリコン電極については絶縁膜との界面の不純物濃度が $1 \times 10^{20}/\text{cm}^3$ (軽いドーピング)、 $1.5 \times 10^{20}/\text{cm}^3$ (通常の場合)、 $3 \times 10^{20}/\text{cm}^3$ (積極的なドーピング)の場合、そしてメタルゲートを用いた場合である。およその値として、Poly 電極の空乏層厚は 1.5×10^{20} で約 0.4nm、 3×10^{20} で約 0.3nm である。従って、ポリシリコンのドーピングを 1×10^{20} から 3×10^{20} へ増やすと、許容される EOT は 0.2nm 増加する。同様に、メタルゲートの場合には 1.5×10^{20} の濃度のポリシリコンに比べ約 0.4nm 厚い EOT が使えることになる。high-k/ポリシリコン界面には実際上多くの課題があるため、多くの企業はメタルゲートを high-k 絶縁膜の導入と同時にあるいはそれ以前に導入したいと考えていると見られる。

[A2] それぞれの技術世代における色分けは、絶縁膜がリーク電流、均一性や信頼性の要求を満たせるかどうかを考慮して決められた。このシナリオでは、3つの全ての用途(HP、LOPそしてLSTP)に対して最適化された酸化膜(これはリーク電流が SiO_2 の 1/30 とされている)ではもはや要求を満足することは出来ない。従って、high-k 絶縁膜が必要となる。high-k 絶縁膜とポリシリコンゲートに関する早い時期の発表や頼もしい結果から、特に 0.7nm 以上の EOT(多くは SiON-HfSiON 系の積層構造を使用)では黄色となっている。0.7nm 以下でメタルゲートを必要とするような他の全ての high-k 絶縁膜では、既知の問題に対する製造手法が得られていないため、赤色となっている。

[B] ゲートリーク電流は 100°C で規定され、トランジスタの室温におけるサブスレシヨルドリーク電流の目標値から導き出されたものである。それらは、HP、LOP、LSTP に対してそれぞれ $200\text{nA}/\mu\text{m}$ 、 $5\text{nA}/\mu\text{m}$ 、 $300\text{pA}/\mu\text{m}$ である。デバイスのリーク電流は PIDS の章のロジックのセクション-High Performance and Low Power Technology Requirements-で室温におけるオフ時のリーク電流(接合リークとゲートリークを除外したもの)として規定されている。特に長期の年代に対しては、短チャンネル効果によって実際のオフリーク電流は目標値を超えてしまうが、ゲートリーク電流のスペックはロードマップの全年代に渡って目標値が一定であるとして導き出されている。

[B1] 面積あたりのゲートリークは、許容ゲートリークを物理ゲート長で割った値でモデル化している。しかしながら、総ゲートリークは次の3つのリーク成分の合計であることに注意すべきである: 1) ゲートソースオーバーラップ領域のソースとゲートの間のリーク、2) チャンネル領域の上のチャンネルとゲートの間のリーク、および 3) ゲートドレインオーバーラップ領域におけるゲートとドレインの間のリーク。これらの 3

¹⁵ 訳注: 英語版で設けられていたリンクは削除した。

つの成分のそれぞれの大きさはゲート、ソース、およびドレインのバイアス条件に依存する。リーク電流値の色分けは、EOT の中央値に対して反転したチャネルからゲートへトンネルする電流を UTQUANT¹⁶シミュレーションした結果に基づいている。(これらのシミュレーション結果は別のワークシートとしてオンライン参照できる¹⁷) 一般にトンネル電流密度は、反転したチャネルとゲートとの間よりも接合とゲートとの間ではるかに高くなるであろうことは強調されるべきである。したがって、これらのシミュレーションは、ゲート接合間のオーバーラップ領域が最小となるような最も良いケース(最も低いリーク)の状態を表している。酸化膜がリークの仕様を満たすとき、その値は白となる。現在の経験では、最適化された酸化膜のリーク電流は酸化膜よりおよそ 30 倍低い；最適化された酸化膜でリーク電流のスペックが満たせれば白となる。初期的な結果に基づけば、Hf 系 high-k 膜のリーク電流は酸化膜より約 6 桁低い。従って、high-k 膜がリーク電流の要求値を満たすようであれば黄色となる。一方で、(注釈 A2 で議論されているように)EOT が 0.7nm 以下では high-k 膜は赤色で示されているので、そのような薄い絶縁膜のリーク電流も赤色となっている。

[B2] 管理されないゲートリーク電力は、チップの上のすべてのデバイスに最大許容値と等しいゲートリークが流れた時に発生する総静的チップ電力である。パワーマネジメントとしては、許容できる静的なパワーレベルを達成するためのパワーダウンや複数の V_t を有するデバイスのようなパワー削減の技術を広範囲に使用することが必要となるであろう。

[C] ゲート電極の仕事関数は PIDS のデバイス設計に基づくものである。バルクデバイスでは、電極の仕事関数とチャネルのドーピングが共に、オン電流を最大化しオフ電流の仕様を満たすようにデバイスの閾値電圧をコントロールする。同時に、ドーピングは短チャネル効果と移動度にも影響を与えるため最適化が必要となってくる。PIDS のデバイス設計では、仕事関数は E_c から 0.1eV 下側および E_v から 0.1eV 上側がそれぞれ NMOS と PMOS に最適であるとしている。Table で述べられている仕事関数の必要条件は、シリコンのバンド端から 0.2eV 以内である。デバイスの閾値電圧の許容範囲を決める要素になるので、ゲートの仕事関数の選択に余裕があるとしても、仕事関数そのものは 10mV 3σ 以内に制御される必要がある。

[D] バルク CMOS デバイスのためのチャネルドーピングは、PIDS デバイス設計に基づいている。ドーピング量は、ゲート絶縁体の厚さや接合深さとともに短チャネル効果に影響するために、同時に最適化することが必要である。チャネルドーピングが高くなる結果として、短チャネル効果は低減するが、チャネル移動度の低下とトンネルリーク電流の増大のトレードオフになる。Table では、いずれに対しても最適化した結果の代表的な値を示している。 $5 \times 10^{18}/\text{cm}^3$ 以上のチャネルドーピングが必要な場合については、接合におけるバンド間トンネルリーク電流の増大が懸念されるため、セルを黄色とした。

[E] バルク/FDSOI/DG 歪みによる長チャネル電子移動度の向上率であり、NMOS における電子移動度のピーク値の向上を示している。

[F] PIDS バルクデバイス設計により(25%の範囲で)与えられたチャネル(エクステンション接合)における X_j であり、物理ゲート長の 0.5 倍となっている。実効チャネル長の値を保つ、あるいは大きくすることができると、例えばオフセットスペーサーやより深いエクステンションの導入といった代替的なデバイス設計によって、深いエクステンション接合を許容できるようにすることが必要となっている。NMOS と PMOS の接合深さは同じである。

[G] NMOS デバイスにおける許容される寄生直列抵抗の最大値は、特性要求を満足するように、PIDS のデバイス設計から決定される。PMOS の許容抵抗は、NMOS 値の 2.2 倍としている。この直列抵抗は、以下に挙げるものから成っている。(エクステンションの急峻さによって影響される) 広がり抵抗、蓄積抵抗、ドレインエクステンション領域のシート抵抗、そしてコンタクト抵抗である。ドレインエクステンションシート抵抗の最大値は、表面における活性なドーピング濃度を $2 \times 10^{20}/\text{cm}^3$ として、Gaussian 分布とボックスドーピングプロファイルのシート抵抗の平均値によってモデル化されている。(リンクファイルで Doping Models とラベルされたワークシートを参照)¹⁸ トータルとしての寄生抵抗に対する要求を満たすため、ドレインエクステンションシート抵抗値は、コンタクト抵抗と(広がり抵抗に影響する)接合の横方向の急峻さと合わせた最適化が必要である。ただしこの見積もりは単純なモデルに基づくものであり、したがってその結果として求められたシート抵抗値は、ガイドとして使われるのがふさわしい。

[H] 短チャネル効果に基づくエクステンション接合の横方向の急峻性に関する要求であり¹⁹、この横方向の急峻さは、接合が横方向で 3 桁濃度が下がるのに相当しており、また縦方向の接合深さの 60%としている。エクステンション接合深さは $0.5 * L_{gate}$ なので、横方向の急峻性は、 $0.1 * \text{物理ゲート長}(\text{nm})$ となる。どのようなインテグレーションを選択するかについては、<http://public.itrs.net> の補足資料に記載がある。

[I] コンタクト部の接合深さは、バルクデバイスに関して、(±33%の範囲を想定した)物理ゲート長の 1.1 倍によって求めている。NMOS と PMOS のための接合深さは同じである。

[J] スペーサ厚さ(幅)は、バルクデバイスのコンタクト接合深さ、すなわち $1.1 * L_{gate}$ と同じ値とした。その妥当性は、“Response Surface Based Optimization of 0.1 μm PMOSFETs with Ultra-Thin Oxide Dielectrics”²⁰ に記載された応答曲面法によって示されている。FDSOI とマルチゲートデバイスのスペーサ幅については、その半分の値、すなわち $0.55 * L_{gate}$ とした。(リンクされたワークシート Doping Models 参照。)

[K] バルクデバイスのシリコンの消費量は、コンタクト接合深さの半分とした。より将来における完全空乏素子、あるいはマルチゲートデバイスでは、コンタクト位置を持ち上げ、シリサイドの厚さを、シリサイドとシリコンとの界面がチャネルとゲート絶縁膜との界面に一致させる。この結果としてシリコンの消費量は、堆積されるシリコンの量と等しくなる。

¹⁶ 訳注:テキサス大(UT)で開発された一次元 SiMOS 構造を対象にした CV シミュレータ。

¹⁷ 訳注:英語版で設けられていたリンクは削除した。

¹⁸ 訳注:英語版で設けられていたリンクは削除した。

¹⁹ Y. Taur, “25 nm CMOS Design Considerations,” IEDM 1998, Technical Digest, IEEE, December 1998, 789–792.

²⁰ A. Srivastava and C.M.Osburn, “Response Surface Based Optimization of 0.1 μm PMOSFETs with Ultra-Thin Oxide Dielectrics,” SPIE Proc., Vol. 3506, 1998, 253.

[L] バルクデバイスにおいては、シリサイド厚さはシリコンの消費量に基づいており、コンタクトでのリーク電流の増大を避けるため、コンタクト Xj の 1/2 (中間位置) としている。接合の半分弱程度の厚さを消費することは可能である。²¹ 完全空乏素子、およびマルチゲートデバイスでは、コンタクトを持ち上げた構造となり、シリサイド厚さはゲート絶縁膜/チャネル界面の上に堆積されたコンタクト形成用のシリコンの消費量から決定される。コバルトとチタンのダイシリサイドでは、シリサイドの厚さは消費されるシリコンとほぼ等しい。ニッケルモノシリサイドでは、シリサイド厚さは消費されたシリコンの 2.22/1.84 に相当する。NiSi を使うことを想定してテーブルは作成されている。シリサイドの厚さが 15nm よりも薄い場合は、Si の消費やシリサイドのシート抵抗と共に、セルを赤くしている。(リンクされたワークシート Doping Models 参照。)

[M] コンタクトシリサイドのシート抵抗は、NiSi の抵抗率である $16 \mu \Omega\text{-cm}$ を仮定している。

[N] シリコン/シリサイドの最大の界面抵抗は、PIDS によって求められたエクステンション接合抵抗/コンタクト抵抗として割り当てられた、MOSFET のソース/ドレインの全抵抗として許容される値から計算されている。エクステンション接合抵抗は、(Table の中の一つの行として示されている) エクステンション接合シート抵抗と、エクステンション接合の長さとの積で求められる。ここでエクステンション接合の長さとは、スペーサーの長さにエクステンション接合の拡がりを足し、コンタクトの深い接合の拡がりを引いた値となる。横方向の拡がりは、深さ方向の拡がりの 0.6 倍とした。さらに計算においては、トランジスタのコンタクトの電流の流れる方向への長さは、MPU ハーフピッチの 2 倍であるとしている。これらの値はトランジスタのコンタクト長さが変わる場合には、適切に修正する必要がある。(http://public.itrs.net 上のワークシート、Doping Models 参照。) このコンタクト抵抗率が許容できる最大の値であることに注意が必要である。コンタクト抵抗率が $5 \times 10^{-8} \Omega\text{cm}^2$ 以下の場合にはセルは赤く、また $1 \times 10^{-7} \Omega\text{cm}^2$ 以上の場合にはセルは白とした。コンタクト抵抗率、ドレインエクステンションシート抵抗、およびドレインエクステンションの横方向の急峻さは、寄生抵抗に対するトータルとしての要求を満たすため、同時に最適化する必要がある。

[O] バルクでのトレンチ深さは、コンタクト接合深さとウェル中の空乏層幅を足したものに比例する。比例定数は 2003 年での値を 400nm と設定して決めた。

[P] 最小のトレンチ幅は MPU ハーフピッチとした。

[Q] トレンチの幅はトップの寸法の半分以上には縮小されないとした。

[R] マスクの厚さは MPU ハーフピッチの半分と基板のトレンチ深さを加えたものとした。

[S] FDSOI およびマルチゲートデバイスでは、ゲートの仕事関数がデバイスの閾値電圧を決める主要因である。従って、midgap 付近の値がより適切である。あるデバイスタイプに対して同じ仕事関数がある期間維持すること、そして異なる用途に対して仕事関数の種類を最小にすること、というシナリオに沿って Table は記述されている。仕事関数が NMOS、PMOS それぞれに対して midgap から $\pm 0.15 \text{ eV}$ (LSTP では $\pm 0.1 \text{ eV}$) の場合に最も良い 2 種仕事関数ゲートが与えられる。低コスト版などいくつかの用途では、NMOS と PMOS に対して単一の midgap 仕事関数を持つもので満足が行くものが得られる。バルクデバイスのゲート電極に関しては、仕事関数は 10mV (3σ) でコントロールされる必要がある。

[T] FDSOI とマルチゲートデバイスにおけるシリコン厚さは、短チャネル効果をコントロールするための PIDS によるデバイスの最適化に基づいている。会社間で最終的に最適化されたミナルの厚さに違いが生じることが予想されるが、最終的な厚さの許容差は 10% である。FDSOI 厚さのセルの色は、シリコン基板のテーブル(テーブル FEP2a と FEP2b)中で示された材料の薄膜化に基づいて決めている。±5%の精度で、PIDS デバイスによって±10%の許容値で要求されている最終的な厚さにコントロールされるとしている。またここでは、薄膜化プロセスでの厚さのばらつきが増加しないことを前提としている。マルチゲートのすべてのシリコン厚さのセルは赤としたが、これは厚さ、サイドウォール角、およびチャネル移動度の制御が現時点では実証されていないことによる。

[U] FDSOI、およびマルチゲートにおけるエレベーターティッド接合の厚さは、物理ゲート長と同じとした。このモデルの中では、接合で持ち上げた厚さすべてがシリサイドの形成で消費されることとしている。この値の調整で、シリサイドのシート抵抗と、接合/ゲート間の寄生容量との間のトレードオフを最適化することができる。

[V] トレンチ深さが FDSOI の厚さに等しいとしている。

[W] EOT に対する 3σ が 4% という許容値は、“Modeling of Manufacturing Sensitivity and of Statistically Based Process Control Requirements for 0.18 micron NMOS device”²² に基づいている。カラーコードは絶縁膜と同じとしている - A2 の脚注参照。

[X] ゲート電極の厚さは物理ゲート長の 2 倍とした。厚いゲートは直列抵抗を低減できるが、その代償としてトポロジーやアスペクト比の増大をもたらす。厚さが 40nm 以下は黄色、25nm 以下は赤色とした。

[Y] バイアスは描画されたゲート長とエッチング後のゲート長の差と定義される。

[Z] 総ゲート長 3σ ばらつきはウェハ上のポイント間、ウェハ間、およびロット間ばらつきを含むすべてのランダムなプロセスばらつきを包含する。これにはリソグラフィの近接効果のようなシステムばらつきや粗と密の間の CD バイアスのようなエッチングばらつきなどは除いている。ばらつきの合計は、最終的な寸法の 12% 以下になるようにとる。従来の MOS 構造はこれらの計算を基礎にしている。従来構造とは異なる MOS トランジスタ構造(例えば、Vertical MOS トランジスタ)には異なる技術的挑戦が必要で、これらの計算値内には入らないであろう。データはレジスト・パターンニング時のリソグラフィの誤差を考慮に入れて計算され、レジスト・トリミングとゲート・エッチの両方に起因したエッチングの誤差と合わされる。

[AA] リソグラフィの許容ばらつき σ_L^2 は、リソグラフィとエッチングプロセスのばらつきを合わせた全ばらつき σ_T^2 の 3/4 に制限される。リ

²¹ C.M. Osburn, J.Y. Tsai and J. Sun, “Metal Silicides: Active Elements of ULSI Contacts,” J. Electronic Mater., Vol. 25(11), 1996, 1725.

²² P. Zeitoff and A. Tasch, “Modeling of Manufacturing Sensitivity and of Statistically Based Process Control Requirements for 0.18 micron NMOS device,” Characterization and Metrology for ULSI Technology: 1998 International Conference, D.G. Seiler, et al. eds., 73.

ソグラフィとエッチングのプロセスが統計的に独立していて、それゆえ全てのばらつきがソグラフィとエッチングのばらつきの合計であると仮定される。このことは、レジストの描画形状が垂直な壁のプロファイルを持ち、寸法のロス無くエッチングプロセスに耐えるよう充分厚くすることも含意される。本章の Etch Supplemental file 参照 (<http://public.itrs.net>)。

[AB] レジストリミングとゲートエッチングプロセスは統計的に独立で、それぞれ2つのプロセスのばらつき、 σ^2 、は加法的であると仮定した。トリミングとゲートエッチングを合わせたばらつきの 1/3 はレジストリミングに割り当て、残りの 2/3 をエッチングプロセスに割り当てる。

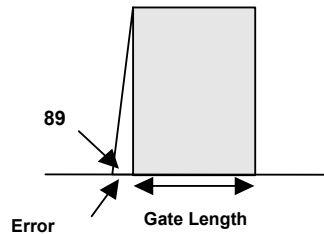
[AC] 15%の疎密 CD の割り当ては Etch、Lithography、および Metrology からの測定値を組み合わせたものである。

[AD] ゲートエッチ後の清浄化プロセスを経てもある程度絶縁物が残っているのは重大である。技術の世代が進むと、絶縁膜厚は薄くなり、そしてゲート絶縁膜に高誘電率膜が取って代わり始める (2008 年)。両方の進歩は絶縁膜の残膜量があるのを保証する挑戦と残っている材料を測定する能力を表します。

[AE] プロファイルはエッチング誤差の主たる要因であるかもしれない(挿入図を参照)。垂直なプロファイルの正確な寸法測定は依然困難である。長期的にはエッジラフネスのデバイス特性に及ぼす影響に対処する必要があるとともに、測定法も決めておく必要がある。

Gate error produced @ 89 degrees = 3.5 nm

Gate Length:	65nm	53nm	45nm	37nm	32nm	30nm	25nm
% error =	5.4	6.6	7.8	9.4	10.9	11.7	14



[AF] しいき値電圧の全許容ばらつき(ATVV)は PIDS によって定義されていて、電源電圧の 3%とした。界面バルクに存在する high-k 膜中の電荷による寄与は全 ATVV の 1/3 とした。ここで示した値は LSTP 用途向けのものである。LSTP 用途では EOT が厚く、許容される電荷に対しては要求が厳しいからである。

[AG] 全ての電荷は Si 絶縁膜界面にあると仮定する。すなわち、バルク電荷はなく SiO₂/high-k 界面にも電荷は存在しないものとした。

[AH] i)均一に電荷が分布した単一の(high-k)絶縁膜、ii)比誘電率は SiO₂ の 4 倍、を仮定した。バルクの濃度を ppm に換算するに当たっては、high-k 絶縁膜中の金属原子密度は SiO₂ 中の Si と同じ、すなわち $2.2 \times 10^{22}/\text{cm}^3$ とした。

[AI] high-k 中の電荷(とトラップ)の 90%は本来持っている結合の欠陥によるもので、10%は金属不純物によるものとした。そのような金属として以下が予想される。a) Ti、Sc、Nd、V、Ta、Nb などギャップ中央より低いエネルギー準位の d-電子をもっている遷移金属。b) high-k より多くの d-電子をもっている遷移金属。c) Cu、Ag、Ag。 d) high-k 金属の放射性同位体。

中長期の解決策は、高品質のゲート酸化膜に匹敵するような電気特性(安定性や界面準位の密度など)と信頼性を有する高い誘電率(中期的には>10、長期的には>20)を有する材料の特定が必要である。Hf ベースの誘電体から III 族や希土類(RE)酸化物、そして三元系酸化物への変遷が必要となってくる。SiO₂ 以外の材料に関する重要な課題は、良好な界面準位特性とチャネルの移動性を維持するために非常に薄い SiO₂ か SiON がチャネル界面部で今後もまだ必要であるということである。この界面層は酸化膜換算膜厚の増大を招き、high-k 絶縁膜を用いたことによるあらゆる利点を著しく損なってしまう。エピタキシャル成長させた誘電体によりこの界面層を排除することはできるが、それを用いた系ではチャネル移動度の劣化や高濃度の界面電荷が原因とされる多くの未解決課題が残されている。

シリコン基板と high-k 金属イオンの間を繋ぐための O-Si-O 結合からなる中間層は、名目上 0.4nm という酸化膜換算膜厚のスケール限界をもたらす。また、高誘電率材料とゲート電極値の間で界面反応を最小限に抑制することやプロセス処理中に成長する余分な絶縁膜成長を抑制すること、そしてゲート電極の実効仕事関数の制御/最適化をするために適切な材料が必要となると予想される。また、膜厚制御性と均一性の向上は 300mm やそれ以上の大口径ウエハの Vt 制御を達成するために不可欠である。イオン注入やプラズマエッチン

グに伴うプロセス誘起損傷やゲートパターンニングに対する細心の注意は、特に、リーク電流がゲート絶縁膜周辺長に密接に依存するため益々重要となる。

別の挑戦として、ゲートリークの仕様と信頼性要求事項の両方を満たす誘電体特性の実現が挙げられる。これらの要求を達成するために、**high-k** 絶縁膜は熱電子放出や直接トンネルを回避すべく、その障壁高さが 1eV 以上で、 $4\text{-}5\text{eV}$ のバンドギャップを有していなければならない。さらに、候補となる誘電体は、Frenkel-Poole トンネリングを抑圧し、かつ PBTI (positive bias temperature instability) や NBTI (negative bias temperature instability) に対して十分な V_t 安定性を与えるためにキャリアのトラップ密度は無視できる程度のレベルでなくてはならない。最後に、ゲート絶縁膜材料は、ゲート電極材料やゲート電極のドーパントによってトランジスタのチャンネルを汚染されることが無いような強い拡散抑止能を有していなければならない。

ゲート電極もまた今後のスケールングに対する主要な挑戦課題であり、仕事関数、抵抗率、および CMOS 化に対する整合性は、ゲート電極の新しい候補材料に対する重要なパラメータである。ポリシリコンゲートのさらなるスケールングは次の理由により制限される。a) ドーパントの活性化が高められたとしても現れてしまうドーパントの空乏化、b) ゲート絶縁膜のドーパント突き抜け、c) NMOS と PMOS デバイス両方に対する仕事関数制御性が良くないことによる **high-k** 絶縁膜上のポリシリコン電極の明らかな不適合性。

金属ゲートを含む中長期の解決策に対しては、はるかに複雑で精力的な研究が望まれる。一例を挙げると、最適のゲート電極の仕事関数はそれぞれの素子やアプリケーションによって異なるということがある。バルクの NMOS と PMOS 素子においてバンド端の仕事関数は、駆動電流向上と短チャンネル効果抑制という観点から最良の折り合いをもたらす。しかし、完全空乏型の SOI 素子や多ゲート素子は、そのフェルミレベルがミッドギャップから数百 meV 上下に位置する 2 つの仕事関数を有するゲートを用いることで、うまく最適化できる。低コスト、低待機電力用途には、単一(ミッドギャップ)の仕事関数を有するゲートを有効に用いるということもあり得る。したがって、仕事関数の調節が可能なゲートスタックシステムは、特に重要である。仕事関数を一度に調整可能とするシステムがないために、二つの全く独立なゲートスタック(絶縁膜とメタル)が必要となる。これらのシステムにおいて、仕事関数の調節範囲を決定する上で、十分に、または完全にシリサイド化された(FUSI: Fully Silicided, TOSI: Totally Silicided)ゲート電極に高い関心が寄せられている。それらは、ミッドギャップから数百 meV 以内の仕事関数を要求する用途には解となりうるが、バンドエッジの仕事関数が必要となる用途には不向きである。最終的には積層されたゲート電極が必要となるであろう。この場合、所望のゲート仕事関数を得るための界面層が使われ、**high-k** 膜への酸素の出入りを抑制しトータルゲートシート抵抗を下げ、さらにはゲート加工を容易にするために第 2 の層が用いられる。

素子のスケールングにおいて他の非常に困難な挑戦は、フロントエンドの材料とプロセスの選択における機械的応力を利用することを念頭においたチャンネル移動度の向上である。電子と正孔の移動度に対する効果が機械的応力により逆の方向に作用するため、NMOS と PMOS とでは逆方向に応力を印加する必要があるため、解決策候補は複雑になる。従来のプロセス(分離トレンチ形成、ゲート電極、シリサイド)で抑制されなければならない付随的な局所的応力を誘引する。また、Si と SiGe の層をそれぞれ交互に積層することによってグローバルな応力を誘発することができ、加えてひずみ Si(または、Ge)層を、SOI 基板上に形成することも可能である。さらに、応力層を素子表面や基板の中に(SiGe リセス接合)堆積することもできる。正孔の移動度を高めるために PMOS 素子の方向を従来の $\langle 110 \rangle$ 方向ではなく、 $\langle 100 \rangle$ 方向に沿って形成することも検討されている。ここでの挑戦は、個々の局所のおよび、グローバルな応力源を統合することであり、各応力源からの効果が移動度向上と相加的になるようにして NMOS, PMOS の両方において移動度向上効果が得られるようにし、さらに基板のせん断応力限界を超えないように(局所的に)しなければならない。

高い駆動電流を維持するために、従来の部分空乏型や完全空乏型の SOI 素子と同様に、バルク CMOS 素子に対してもチャンネル移動度を向上させるための技術改良が必要である。NMOS に対して緩和された Si-Ge

上のひずみ Si や PMOS に対するひずみ Si-Ge 上のひずみ Si など、歪ませた Si チャンネルの利用は、この目的を達成するための助けとなる一方、十分なプロセスの最適化が不可欠である。これらの向上された移動度、例えば、ひずみチャンネル素子は、high-k 材料が導入される前に酸化窒化膜と併用して必要となるであろう。長期予測で挙げられている非標準なダブルゲート素子もまた、ひずみシリコンチャンネルから恩恵を被ることになるであろう。

高移動度チャンネルや代替界面層、high-k 絶縁膜、新ゲート電極を CMOS に組み込むということは極めて大きな集積化の挑戦である。これら多くの候補材料による組合せが有する耐熱性限界は、ゲート形成後の通常の接合熱処理サイクルと両立しない。これら新材料を用いることによって接合熱処理温度を大幅に抑制するか、ゲートスタック形成と接合形成の順序を逆転させた代替プロセスが必要となる。これらの例として“置換ゲート”とかゲートラストプロセスがある。これらの試みは製造を複雑にし、コストの増大を招き、かつ素子性能と信頼性に影響を与える可能性もある。その結果、従来の CMOS プロセスの基本設計概念を維持するために多大な努力が払われている。

側壁スペーサは現在、自己整合形成やソース/ドレインのドーパント構造形成のためだけでなく、ゲート、ソース/ドレイン間の分離を構成するために使われている。さらには、エクステンション接合の注入前にはオフセットスペーサが形成され、これによってオーバーラップ容量を低減することと少し深めの接合を形成することが可能となる。ゲートとソース/ドレインのコンタクト構造とこれらコンタクトを形成するために用いられるプロセスは、側壁スペーサの堅牢性に依存する。側壁スペーサは従来、堆積酸化膜やポリシリコンの熱酸化、堆積窒化膜、およびそれらの様々な組み合わせによって形成されている。この従来の側壁プロセスは、側壁スペーサを用いたプロセスの適合性が難しくなり、エレベータッドソース/ドレイン構造が必要となる時(2010年と推定)までは少なくとも使われる。完全空乏型 SOI 素子に対しては、ゲート絶縁膜のような高い信頼性と安定性を有する薄くて堅牢な側壁が必要である。また、それらは寄生容量と直列抵抗を最小限に留めるべく最適化されなければならない。物理ゲート長が約 20nm 以下では、エレベータッドコンタクト構造を想定した選択エピタキシャルシリコンやシリサイドプロセスに晒されると最良の最先端プロセスによる熱酸化膜でさえ欠陥を発生しやすくなる。窒化膜や酸化窒化膜は酸化膜よりも良い代替材料であるが、high-k 絶縁膜との相性が良く、実用可能な側壁スペーサを見出し、認知するための更なる研究が必要である。

また、プリメタル誘電体と同様に、浅い分離用トレンチを埋めるために熱的にもしくは堆積により形成された薄膜は、極めて重要である。この技術の実用化において、トレンチ幅を細めることやよりアスペクト比の大きい隙間が必要とされるということは、トップとボトムのコナー部の形状制御や疎密構造の埋め込みの均一性が最も重要な要求であることを意味している。浅いトレンチ分離構造の形成において活性化領域のトップ端部分は、一般的にゲート絶縁膜の成長や堆積前のパッド酸化膜や犠牲酸化膜のフッ酸エッチングに晒される。ゲートは、このコナー形状に沿って形成され、高電界領域や潜在的な高欠陥部分をつくってしまう。この領域は、低閾値電圧と小さな飽和電流しか得られないトランジスタがバルクトランジスタと並列に接続されていると考えることができる。このことが I_d/V_g 特性における“こぶ”や大きなサブスレッショルドリークを誘発する。従って、STIトレンチ先端部のコナーは通常、分離用酸化膜の堆積前の熱酸化によって丸められる。このコナーの曲率半径が増加すると、寄生トランジスタの V_t が増加し、この“こぶ”は小さくなる。しかしながら、新しいプロセスが導入されない限り、素子のスケージングは曲率半径の減少をもたらす。

隣接する活性領域端のフィールド酸化膜の後退度合いは、端に位置するトランジスタの断面形状をある程度決定するので、寄生ドレイン電流の大きさもまた、そのフィールド酸化膜の後退度合いに依存する。従って、曲率半径が分離幅とともにスケールダウンすると、うまくいけばフィールド酸化膜の後退もスケージングされる。その結果、曲率半径の減少に伴う劣化は部分的には緩和されることになる。この酸化膜の後退は、パッド酸化膜や犠牲酸化膜の他、CMP プロセスやフッ酸浸漬に対する堆積酸化膜の“硬さ”に依存し、これらの全ては各年において最適化されるプロセス設計の選択に委ねられる。

熱処理、ドーピングに関する集積化の要件は、浅接合プロファイルや接合の急峻さを維持すること、およびドーパントの高い活性化を実現すること、材料の耐熱性を向上させること、そして素子特性に関わるこれらの影響を制御することである。熱処理・薄膜に対する解決策候補のロードマップは、Figure FEP4 に示されている。ひずみ基板、high-k ゲート絶縁膜、金属ゲートそして、非バルク CMOS に関する技術の変遷は、量産までに2年のプロセス検証と試作が必要とされる大変重要な事項であり、全く新しいゲートスタック材料が顧客に出回るまでには異常なほど大量の信頼性データが必要となることはその一例である。これは認定までにたった1年でよかつた劇的な変化をともしなわなない従来と状況を異にする。

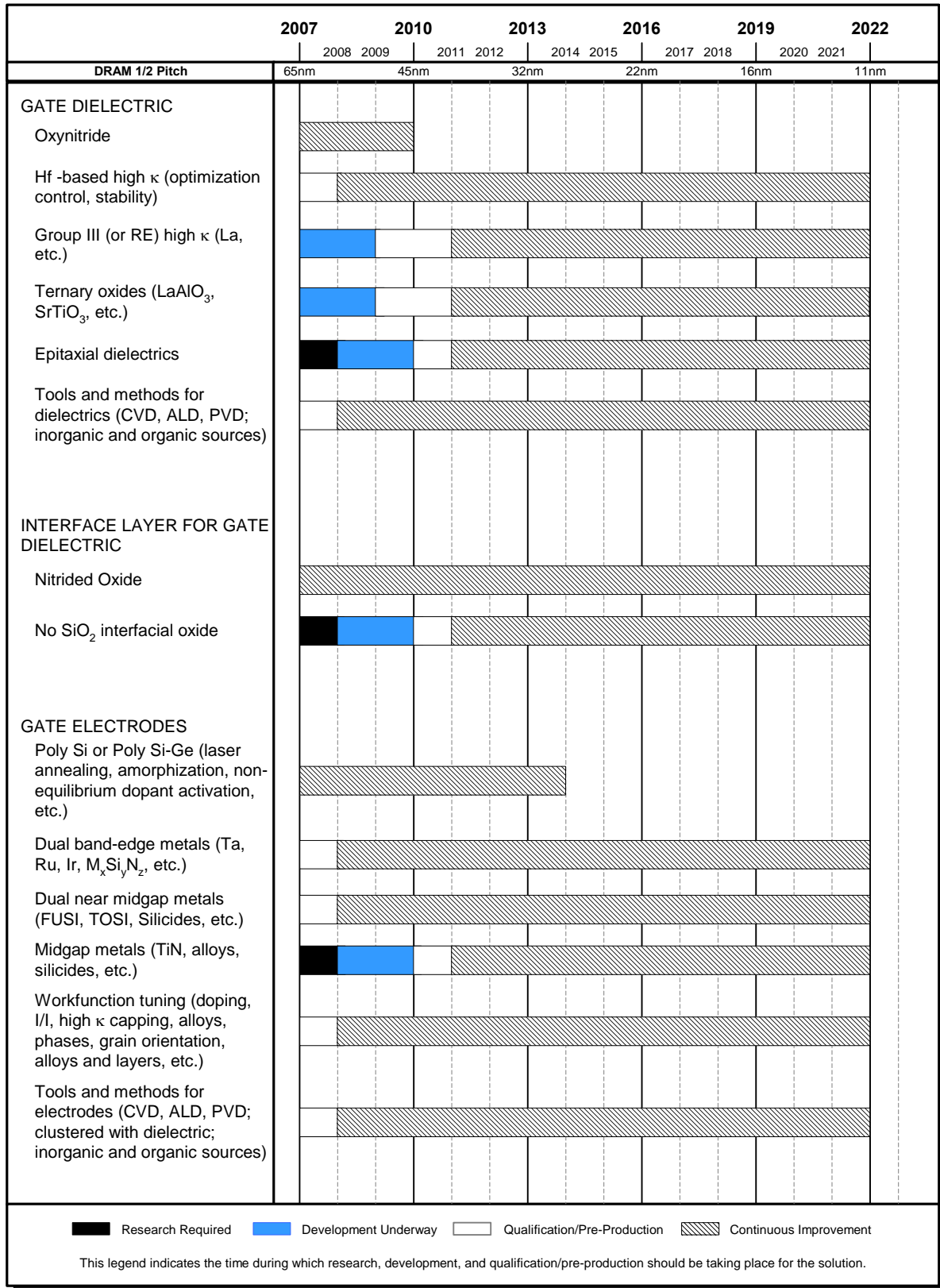


Figure FEP4 Thermal/Thin Films Potential Solutions

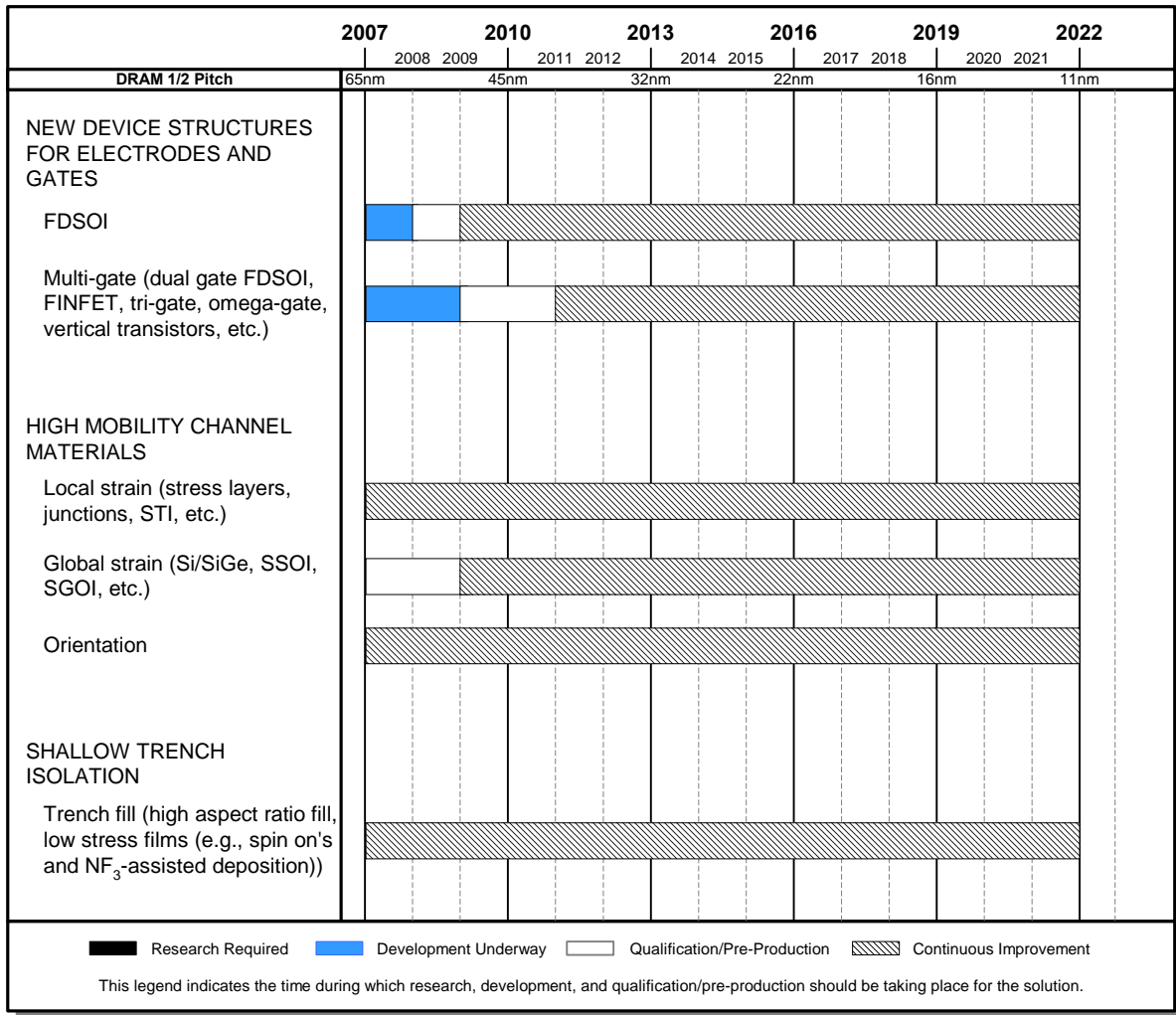


Figure FEP4 Thermal/Thin Films Potential Solutions (continued)

ドーピング技術

バルク CMOS デバイスの伝統的なスケーリングは、新材料と新しいデバイス構造が今後数年のうちに数多く導入されることで、ますます難しくなっている。ノンクラシカル CMOS デバイスへの移行時期はデバイスメーカーの間で異なることが予想され、したがって異なったデバイスアーキテクチャがつねに存在するようになる。この点については PIDS の章の中で詳細に議論されており、高性能トランジスタに関しては以下のデバイスシナリオが推定されている:

2007 年から 2012 年ー バルクシリコン MOSFET では以下の進歩がなされる:

酸化ゲート絶縁膜の最適化

high-k ゲート絶縁膜とメタルゲートとのスタック構造の、2008 年における導入

エレベーターコンタクト構造

2010 年から 2015 年ー エレベーターコンタクト構造を有する、単一ゲートの完全空乏 SOI プレーナー・デバイス

2011 年から 2020 年ー デュアルあるいはマルチゲートの完全空乏デバイス。例えば FINFET。

困難な技術課題 – 2009 年を通した非常に短期の CMOS トランジスタのドーピングのための困難な技術

課題は、1) high-k/メタルゲート技術の量産の場合への導入;2) 短チャネル効果の制御に必要な、ソース/ドレインのエクステンション領域でのますます浅くなる接合深さ(~10nm)の達成。このとき、接合を浅くすると同時の低いシート抵抗(~500Ω/sq)の形成、エクステンションとチャネルの接合部分における急峻なドーピング、エクステンションとゲートのオーバーラップ量の最適化を同時に実現する必要がある。;3) 短チャネル効果を最小化し、キャリア移動度を最大化しながら、しきい値電圧を設定するための、チャネル領域でのドーピングプロファイルの制御。;4) 浅く、高濃度にドーピングされたソース/ドレイン領域への低抵抗コンタクトの形成²³。;5) フラッシュあるいはレーザーアニールのようなミリセカンドアニールを使いながら、high-k 材料とシリコンチャネルチャネルとの間に信頼性ターゲットを満たすような良好な界面を形成する技術課題。

また短期(Near Term)ではあるが 2009 年以降は、主要な技術課題は「トランジスタ構造」と直接関わってくる。アグレッシブに接合をスケールし、high-k/メタルゲートのスタックを用いたとしても、プレーナのバルクデバイスのエクステンションでは、ますます短チャネル効果を制御できなくなる。そのようなアグレッシブなスケールアップの必要性を緩和するために、プレーナのバルク CMOS は、ノンクラシカル CMOS、すなわち FDSOI や垂直なピラー上に形成したダブルゲートやマルチゲートデバイスに置き換わっていく。これらのノンクラシカルデバイスの実現には、極めて薄い SOI 基板やエレベーターティッドコンタクトの接合形成などを含む、新たな技術課題の解決が必要となる。

直列抵抗、特にコンタクト抵抗は、デバイスのスケールアップを脅かしてきているが、その重要性はさらに増している。チャネル長がスケールされてもデバイスの W/L はほぼ一定であり続けるので、デバイスの抵抗もほぼ一定のままとなる。しかしながらコンタクトホールのは大きさはリソグラフィーの大きさの二乗でスケールされるので、コンタクト抵抗は素子サイズが小さくなることで急速に増大する。デバイス特性目標を満足するように、コンタクト抵抗率として $5 \times 10^{-8} \Omega \cdot \text{cm}^2$ が必要となる時期である 2010 年までに、メタル/半導体界面における非平衡ドーピングが必要となる見込みである。デュアルメタルコンタクトは 2013 年までに必要であるため、適切な材料を判断するための一層の研究が急務の課題となっている。

ソース/ドレインエクステンション - プレーナーバルク CMOS では、短チャネル効果を制御するために、ドレインエクステンション、チャネル、ハロー、およびチャネルエッジのドーピングが非常に重要なプロセスとなっている。ドレインエクステンションのドーピング量は、寄生抵抗をできるだけ少なくしつつ、接合深さを浅くする必要性から、できるだけ上がることが望ましい。補足資料に示したイオン注入のエネルギーとドーズ、その結果としての活性化ドーパント濃度のピーク値は、PIDS によるトータル直列抵抗の 15%と等しいエクステンション直列抵抗を達成する値となっている。ここではドーパントの拡散は無視できる程度 (すなわち活性化はフラッシュあるいはノンメルトのレーザーアニール、または固相エピタキシャル成長による)としている。

バルクプレーナーMOSFET において、注入直後の(深さ方向の)接合深さは横方向への拡散深さに比例しており、その後の横方向拡散、およびチャネル領域への染み込みに強く影響する。したがって短チャネル効果は深さ方向の接合深さに強く関係しており、またドレインエクステンション抵抗はドーピング濃度と横方向の急峻さと強く関係している。

これまでは常に、より急峻な (すなわちボックスライクな) 横方向の接合が短チャネル効果にとって望ましいとされていた。これは、エクステンションドーピングのチャネル領域への拡散を抑えることができ、急峻な接合を形成するためのカウンタードーピングの量を抑えることができたことによる。しかしながら、チャージシェアの結果として、極めて急峻な接合はしきい値電圧のロールオフを劣化させること、接合が急峻になるに従って、すなわちドーピングの傾きがより大きくなるに従って、DIBL (drain induced barrier lowering) は単調に増大することが

²³ これまでに一軸性の応力の印加によりチャネル移動度を向上することを目的として、in-situ ドープ層の選択堆積が実用化されており、これは同時にイオン注入とアニールングの置き換えになっている。チャネル領域での応力印加、接合形成のためのドーピング、およびコンタクト材料の選択を同時に最適化することが新たな技術となっている。

最近明らかになってきた。その結果として、デバイス特性を最適化するための、急峻さの最小の値が存在することになる。

理論的には、ソースエクステンションの蓄積抵抗は、最も急峻な横方向接合において、最小の蓄積抵抗とともに得られる横方向の急峻さに強く依存して定義される。しかしながら、蓄積抵抗の値のちょっとした変化であってもデバイス特性全体、特にその短チャネル効果に大きく影響するため、蓄積抵抗はデバイスの中で電流が流れるパスの中の単純な抵抗成分とみなすことはできない。急峻さが少しでも変化したら、デバイスには新たな最適化が必要となる。本文章の筆者はそのような最適化を行ってきたが、接合を急峻にするという方向性の中から、デバイス特性に対して実質的に意味のある改善を見出したことはなかった。

シート抵抗、接合深さ、接合の急峻さ、および直列抵抗の要求値をモデル化するという努力によって、これらのパラメータの相互の依存性、およびこれらが複合したトータルのトランジスタデザインへの影響が如何に複雑であるかをよく認識することができた。従って、接合深さ、ドーピング濃度、および横方向の急峻さをトータルとしての最適化するためには、毎年完全なトランジスタ特性の設計をする必要がある。これはこのロードマップの範囲を越えた仕事である。したがってどうしても、技術要求表におけるこれら3つの要求事項はいずれも、明確な要求事項とはならず、「ガイダンス」として示さざるを得ない。しかしながら一般的には感度シミュレーションから、pチャネルデバイスでは、急峻さをある臨界的な値以上にした場合、寄生抵抗はごくわずかに低下するにすぎないことが示されている。したがって、何らかの臨界値を越えて急峻さを高めたとしても、改善はわずかなものにとどまる。その一方 n チャネルデバイスでは、ソースエクステンション接合が急峻であるほど、ソースの注入速度が速くなり、その結果として高いドライブ電流を得ることができる。したがって NMOS デバイスにおいては、より急峻であることが常に望まれる。

垂直方向にも横方向にも急峻であるような、極浅のソース/ドレインエクステンション接合を実現するためには、ドーピング不純物を注入するための、新しくて進歩した方法の開発が必要とされるだけでなく、極めて小さなサーマル budgets の熱活性化プロセスの開発が必要である。これは、注入されたドーパントの活性化に伴う増速拡散をできるだけ抑えるために必要とされる。現在研究対象となっている方法は、解決策候補、Figure FEP5 に示されている。これらの方法は、CMOS プロセスフローに対して、コストの大きな増大を招くかもしれない。したがって、横方向および縦方向の急峻さによりもたらされるメリットの増加を、コスト面における損失に対して、注意深く評価する必要がある。エクステンション部の、縦方向、横方向不純物プロファイルの位置および形状をモニターするためには、サブナノメートルの空間分解能の2次元計測手法が必要になる。

2010年、およびそれ以降に想定されるノンバルク、つまり完全空乏極薄(FD-UTB)MOSFET においては、デバイスの駆動電流を最適化し、閾値電圧を安定化させるために、ドーピングプロセスには変更が必要になる。クリティカルなドーピング接合深さに関するパラメータは、活性なシリコン層の厚さによって決定されるようになり、したがって注入とアニールという観点からは、課題からは外れてくることになる。

縦方向の接合深さは、シリコン層の厚みという形成された形状によって決定されるので、その意味を失っていく。しかしながらだからといって、UTB(ultra thin body) デバイスのエクステンションの形成において、どのような注入エネルギーでもいいということにはならない。これは横方向の接合深さが、(実質的な意味での)縦方向の接合深さと結びついているためである。接合深さ、ドーピング濃度、および横方向への急峻さとして適切な値を導き出すことは、各世代におけるトランジスタ特性を完全にデザインして初めて可能となることであるが、これはこのロードマップの範囲を越える。極浅のエクステンション接合へのコンタクトはバルクのデバイスにおいてよりもはるかに難しくなり、少なくともコンタクトにおけるシリサイドーションの犠牲層として、エレベーターティッド接合が必要とされる。エレベーターティッド接合の採用した場合でも、により、適正にチャネル移動度を向上するために十分なひずみを効果的に与えることができるか、注意が必要である。

FD-UTB デバイスは、短チャネル効果の管理のためのチャネルドーピングは必要とされず、真性の、ドーピングされていないシリコンチャネルが用いられる。しかしながら、ゲートドレインのオーバーラップ(あるいは逆方向きのアンダーラップ)を最適化するためのゲートエッジ付近のドーピングの正確な制御、あるいは寄生抵抗の管理は、重要な技術課題であることに変わりはない。

FinFET などの縦方向チャネルトランジスタでは、近接して配置された高アスペクト比のピラーへのドーピングが、新たな技術課題となる。そのような構造ではエクステンション接合を成形するために、等方性のドーピングが必要となると考えられる。

コンタクトと直列抵抗 — 自己整合コンタクト・シャントも含めたコンタクトを形成するための新しい材料やプロセスが開発されない限り、コンタクト面積、ソース/ドレインの接合深さ、そしてシリサイドコンタクトの厚さのスケールリングは、寄生抵抗の増大を引き起こす。本質的なコンタクトのスケールリングにおける問題は、二次元的なコンタクト面積の横方向のスケールリングに起因している。その結果として、シリサイドとドーパントシリコンとの間の界面におけるコンタクト抵抗率は、ソース/ドレインの寄生抵抗全体の中で支配的な割合を占めることになる。この問題の解決には以下の方法が考えられる: a) 界面におけるドーパント濃度の最大化、b) コンタクト接合部にシリコンゲルマニウムなどの材料を用いることによるバリアハイトの低減、c) n+/p+接合に対して、バリアハイトの低いデュアルメタル(シリサイド)の使用、等である。またあるいは、まだ実用化はされていないが、接合とコンタクトとしてショットキー接合を用いる方法も考えられる。コンタクト領域へのシリコンゲルマニウムの選択堆積、およびドーパントのプロファイル制御は、このような問題に対する解決策候補となる。しかしながら CMOS インテグレーションにおいては、p チャネルと n チャネルのデバイスに異なった種類のドーパントが必要となり、これも重要な技術課題となる。このようなインテグレーションの課題は、トランジスタのゲートがコンタクト領域と同時にドーピングされ、またシリサイドーションされるという事実によって、さらに難しくなっている。

バルクのデバイスにおいては、コンタクト接合深さ、シリサイドの厚さ、そしてシリコン/シリサイド界面コンタクト抵抗率の間での相互の最適化を必要とする、相互に関連した複数のスケールリング上の課題が存在する。コンタクト接合深さには、halo 注入をうまく利用したとしても、Table FEP4 に示したような、ゲート長に対応したスケールリングが必要となる。この結果として、コンタクト深さの継続的な縮小は、シリサイドの形成にとって有用であり続けている。コンタクトリーク電流を抑えるためには、シリサイド形成の際の消費を、多くともコンタクト深さの半分だけにする必要がある。したがって将来のコンタクトにおいては、さらに浅くなるコンタクト接合深さに対応できるように、シリサイドもさらに薄くする必要がある。しかしながらシリサイドは、ある厚さ以下になると不連続となる傾向があり、したがって適切にコンタクトにシャントが取れなくなるため、この薄膜化はいつまでも有効であるわけではない。自己整合ニッケルモノシリサイドコンタクトは、与えられた接合部でのシリコン消費量に対して少し厚い(より安定な)膜を形成するため、この問題に対する緩和策となる。また従来の CoSi_2 と比較して、アグロメレーションの問題が緩和されるような低温で形成される。バルクデバイスにおいても、究極的にはコンタクト領域にシリコンまたはゲルマニウムエピタキシャル層の選択的な堆積が必要とされ、したがってシリサイドーション過程ではより多くのシリコンを利用することができる。しかしながらこれまでに議論したように、選択エピタキシャル堆積は、サイドウォールスペーサーに対して、完全さと頑丈さとをさらに高いレベルで必要とする。

また短期的な期間の中で採用が予想される high-k ゲート絶縁膜材料の導入からも、新たな課題が発生する。high-k 材料候補に依存して熱工程が限定され、この結果としてコンタクトの形成とシャントプロセスの構築に大きく影響する。

プレーナ構造のシングルゲート、あるいは垂直方向のマルチゲートの完全空乏型 CMOS トランジスタ構造では、コンタクトの形成において新たな技術課題の解決が必要になる、例えば、高濃度にドーピングされたコンタクト構造を持つ、薄い縦方向マルチチャネルへのコンタクトの形成などである。このような三次元構造に対して信頼性の高いコンタクトを形成できるような複雑なプロセスのマスターには、コンタクト技術における急速な

技術革新が必要となる。ここでもコンタクトにおける直列抵抗の管理は主要な技術課題であり続ける。プレーナ構造のシングルゲートのトランジスタでは、大幅な抵抗上昇を引き起こさないようにするためには、エレベーターコンタクトの導入を避けられない。同様に、ダブルゲートトランジスタにおいて、寄生抵抗の要求低減値を実現するために、コンタクトへのシャントのため、巧妙な選択エピタキシャル成長の適用に関する多くの研究報告がなされている。ただしその一方で、エレベーター接合は、接合部における寄生容量の増加が引き起こされるため、抵抗と容量の両方に対する考慮が必要となる。CMOS インテグレーション全体をどのように構築するか、どのようにデュアルドーピングを行うか、またエピタキシャル成長によって持ち上げたコンタクトにどのようにドーピングするかなどは、重要な開発項目として残っている。

チャンネル — 継続的にゲート長を縮小しつつ、オフ状態のリークを許容値以下に保つ必要から、プレーナ CMOS トランジスタ、特に極小デバイスにおいては、短チャンネル効果を制御するために、チャンネルドーピングレベルの増大が必要になる。横方向、縦方向双方のプロファイルの正確な制御は、短チャンネル効果を制御するためにますます強く要求され、ドーピングツール、プロセス、分析手法に関する新たな課題が現れる。ハイパフォーマンスのロジックデバイスにおける駆動電流を増加させることで回路スピードが速くなることから、キャリア移動度を増加させるとともに、短チャンネル効果を制御するために高くなったチャンネルドーピングレベルによって低下傾向にある移動度を補償するため、歪み Si チャンネルが導入され、これからも継続して使用される。接合リーク電流は、バンド間トンネル電流であるか、キャリアの再結合によるものであるか、またあるいはコンタクトでのトンネルあるいは熱放出電流であるかにかかわらず、特にバルクのデバイスにおける課題であり続ける。このようなリーク電流の懸念は、チャンネルのドーピングレベルが上がることで直接トンネル電流が流れやすくなること、またアニーリングにおけるサーマルバジェットの低減により、結晶欠陥の低減が困難になること、またあるいはアニールが不十分のために接合における空乏層の位置を結晶欠陥の残った領域よりもさらに深くすることが困難になっていることによるものである。リーク電流は接合とチャンネルのドーピング、接合の急峻さ、および欠陥の除去に敏感である。

完全空乏 CMOS は、プレーナ SOI であっても縦方向のマルチゲートデバイスであっても、チャンネルデザイン上はイントリンシックのアンダープのシリコンを用いることが望まれる。このアプローチによれば、チャンネルドーピングに起因したキャリア移動度低下を避けることができるが、しきい値電圧はゲート電極の仕事関数によってしか制御できなくなる。これらのデバイスでは通常、二種類の仕事関数のゲートを必要とするが、例えばドーピングにより組成を変化させることで、1つの金属を用いた場合でも仕事関数を「調整する」ことができる。

マルチゲート・完全空乏三次元トランジスタを CMOS としてうまく導入するためには、多くの課題を解決しなければならない。例えば、高濃度にドーピングされたコンタクト領域からイントリンシックであるチャンネル領域へのドーピングプロファイルの最適化、マルチゲート構造における高電界印加時のチャンネルエッジ部でのサブスレッショールドリーク電流の低減、完全三次元トランジスタを形成するための数多くのインテグレーション上の課題に対する解決策等を実現する必要がある。これらの技術課題は、今後予定される high-k ゲート絶縁膜と二種類の仕事関数を有するメタルゲート材料へのシフトに加えて、次の4年から7年の間のトランジスタ技術における革命的な変化を必要としている。

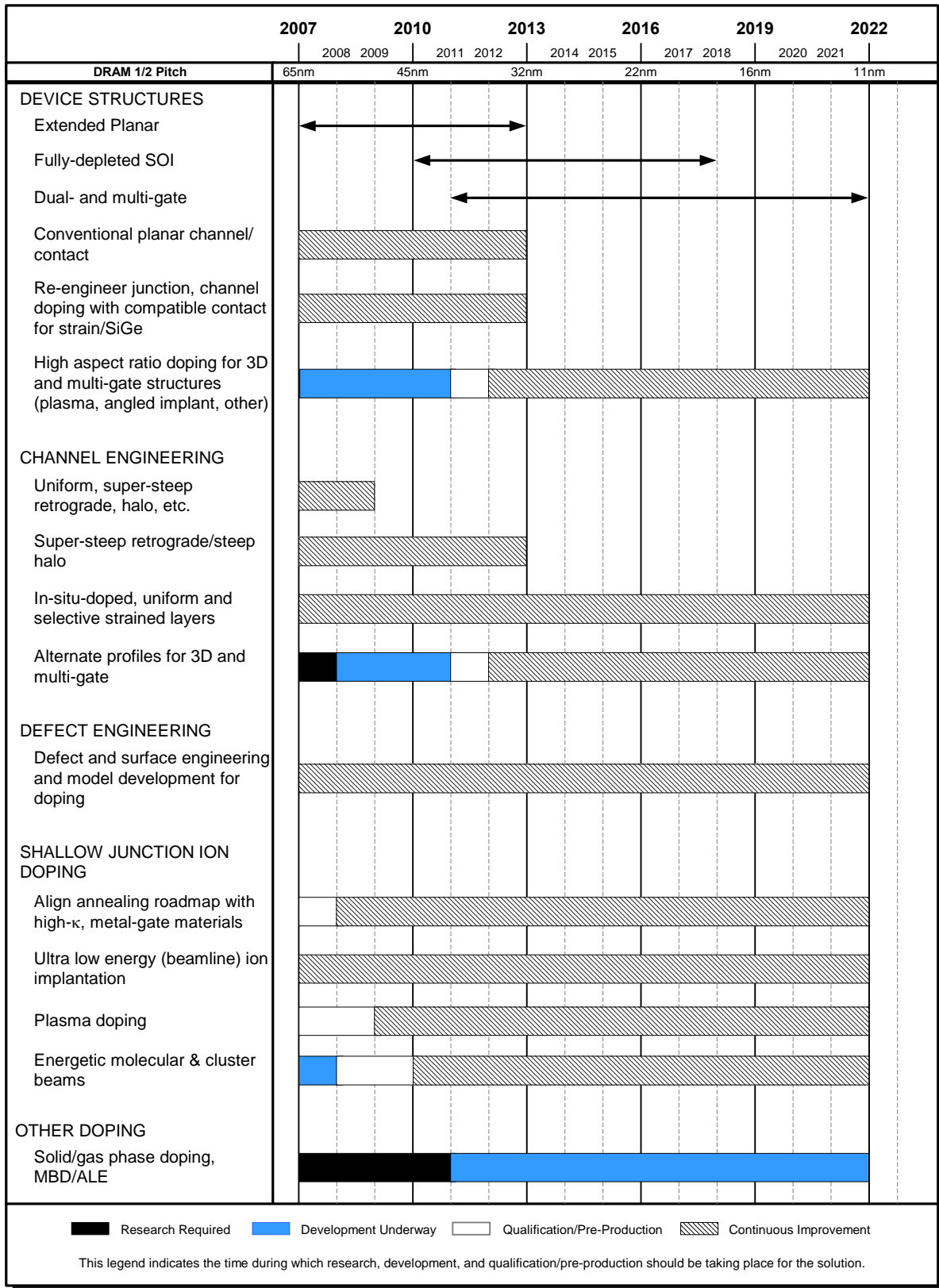


Figure FEP5 Doping Potential Solutions

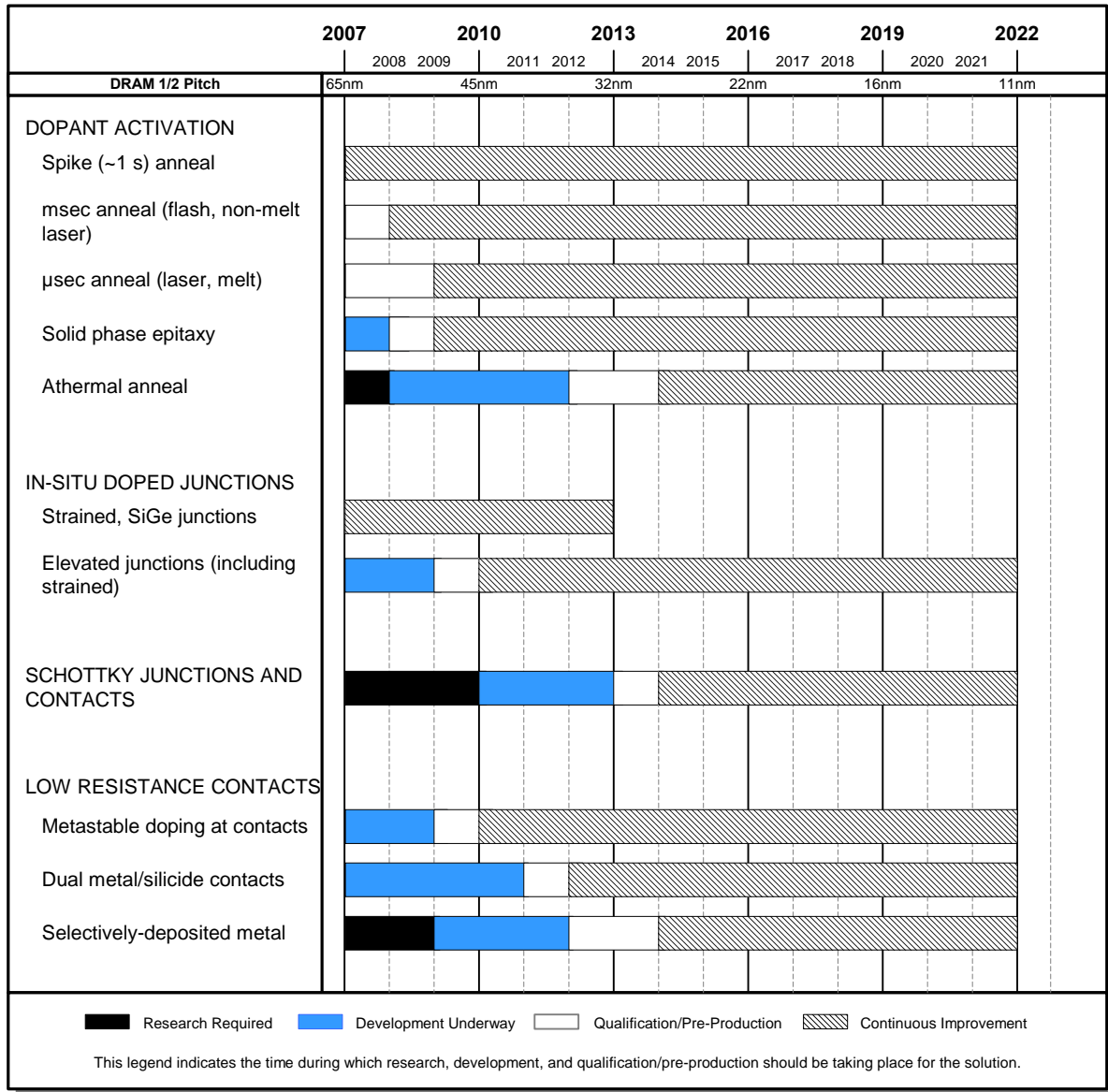


Figure FEP5 Doping Potential Solutions (continued)

フロントエンド・エッチング・プロセス

デバイスサイズのスケールングにおいて継続した要求は、少なくとも絶対的には、CD を制御し、中心値を縮小、分布の狭小化をすることである。現在、high-k 絶縁膜とメタルゲートが生産に入っており、これらの材料を使用するために十分な選択性とダメージ制御を伴うエッチプロセスが認識されてきている。スケールングは CD 縮小を考慮してこれらのプロセスを磨き、最適化することを要求している。ITRS で許容される CD のバラツキ (物理ゲート長の 12%、3σ) は、リソグラフィ、レジストトリミングとエッチングの間に分配される。Table FEP4 を参照。エッチの部分のバラツキはハードマスクエッチ、ドープトポリシリコンエッチとメタルエッチを含んでおり、さらに PMOS と NMOS のメタルゲート、ウェーハ内、ウェーハ間のバラツキを含む全体のバラツキであると想定されている。

エッチの不均一性とバイアスがエッチ起因の CD バラツキを決定する。これらの数的指標は詳細なガス分布、プラズマ密度と温度の空間分布、バイアス電圧を含めたチャンバーのデザインの強い関数である。補正はエッチレート均一性改善に使えるが、プロセスウインドウを狭くしたり、エッチング形状や電氣的ダメージなどのエッ

チレート以外のパラメータの不均一性に繋がる可能性がある。ウェーハの端部までの均一性は、端部の段差（あるいはギャップ）とこれによるガスフローや電界の歪みへの影響のため、特に困難な課題である。それ故にエッジ効果はダイールドに重要な影響を及ぼす。サブナノメートルレベルの CD 3 σ 制御は、良好な選択性とゲート絶縁膜のダメージ制御、ハードマスクとポリシリコンの垂直形状、仕事関数固定のための金属層のアンダーカットやフッティングが無いことが達成されることが必要である。計画的に情報をフィードフォワード、フィードバックするための統合計測はトリミングステップでサブナノメートルの CD 3 σ 制御を達成するために標準的な技術となっている。

エッチ性能を改善するために多くのプラズマ源が開発されてきた (Figure FEP6 Etch Potential Solution 参照)。要求される性能には、制御性があり均一な側壁角度、厳密に制御された CD とエッチレート均一性、電氣的ダメージが無いこと、が含まれている。歴史的に、高密度プラズマ (HDP)、有磁場反応性イオンエッチング (MERIE)、電子サイクロロン共鳴 (ECR) がこれらの目的で使用されてきた。パルスプラズマはシリコンプラズマエッチングで基板の電荷の蓄積を緩和するために付加される。ガスクラスタイオンビームは同様の目的で使用されるが、主流になっていない。エッチの原子層制御は周期的なポリマーデポジションとエッチングステップ、バイアス電力の変調により確立された。²⁴しかしながら、この方法は本質的に低速であり、高選択性を達成するためにオーバーエッチステップだけに留められるだろう。この方法では表面は低バイアスパワーのポリマライズプラズマにより被覆され、ポリマーが除去されると、高バイアスパワーのステップで下地のシリコンのモノレイヤーを除去する。これらいくつかの先進的な方法は CMOS メタルゲートに使われる金属の反応生成物を揮発させて、チャンバー汚染抑制やチャンバークリーニング頻度の抑制、平均故障時間 (MTBF) と平均補修時間 (MTTR) の制御のために必要とされるかもしれない。

レジストのトリミングは、ほぼこの 10 年、ゲートの最終サイジングを行うために使用されてきた。Table FEP4a と FEP4b のトリム量はレジストで形成されたゲート長の 40% になる。それ故にこのプロセスは物理ゲート長の制御を支える上で重要である。また、トリミングによって、全体を通しての形状と CD が要求値を満たすように、ウェーハ内や疎密間の線幅のバラツキをそのステップで補正することが可能となる。ゲート長のスケーリングは一般にレジストの厚さのスケーリングを意味し、ゲート長縮小を達成するためのレジストトリミングはレジスト自体の高さをゲート長トリムの半分相当量だけ減少させる。この操作の後も十分なレジストはゲートハードマスクエッチを可能とするために維持されねばならない。193nm レジストは遠くない将来の液浸リソグラフィの採用でも使用されるだろう。これらのレジストはライン端の粗さ (LER) や低エッチ耐性になりがちである。

線幅の縮小に従って、LER は、CD 制御に対してますます重要なものとなっている。LER は線幅縮小しても同等値に留まるため、スケーリング上の重要な懸念点となる。LER がゲートリクに影響を与えているといういくつかの証拠もある。リソグラフィとエッチングの両方がこれに影響を与え得る。ゲート材料、フォトレジストのタイプとエッチングケミストリの選択が、LER の程度を左右する。等方性プラズマエッチでのレジストトリムはラフネスの大きさを減少できると考えられている。²⁵この問題を業界が扱うために最近の定量化方法が標準化される必要がある。

欠陥密度は特にゲートレベルにおいて常に課題である。メタルゲート構造に必要なマルチステップのゲートエッチプロセスは、一般に、メタルエッチの反応生成物で汚染の可能性のあるポリシリコンエッチと同一のチャンバーで行わなければならない。プロセスと装置開発は、チャンバー清浄度、および、チャンバーパーツ上へメタルゲートや high-k 層の低揮発性の金属ハロゲン化合物を堆積するかもしれないこれらのエッチプロセス起因の欠陥の可能性に取り組むだろう。in-situ 干渉式測光は、選択性や欠陥を改善するために、エッチ層が消滅

²⁴ A. Agarwal and M. Kushner, "Plasma Atomic Layer Etching," 33rd IEEE International Conference on Plasma Science, p. 469, (2006).

²⁵ T. Wallow, A. Acheta, Y. Ma, A. Pawloski, S. Bell, B. Ward, C. Tabery, B. La Fontaine, R.-H. Kim, S. McGowan and H. J. Levinson, "Line-edge roughness in 193-nm resists: lithographic aspects and etch transfer", Advances in Resist Materials and Processing Technology XXIV. Edited by Lin, Qinghuang. Proceedings of the SPIE, Volume 6519, pp. 651919 (2007).

する前に積極的なメインエッチを打ち切るためのエンドポイント事前検出を可能とすることにおいてより重要になってくるだろう。

ランプレーナトランジスタが必要となった際、エッチングはよりチャレンジングとなる。FinFET 構造は選択比、異方性とダメージ制御に新たに制限をもたらす。Fin は実際にはすべてのプロセス中で最も小さな形状で、サイドウォールで規定するマスクを使用してゲート長の 0.7 倍ほどの小ささの形状のエッチングを必要とする。²⁶ 欠陥無くフィン表面を平行に形成するために形状制御はとて厳しくなるに違いない。ゲートエッチは、フィンのボトムでのストリンガの除去、分厚く平坦化されているかもしれない poly-Si のエッチング、非常に薄いオキシナイトライドまたは high-k 材料上でストップすること、レジストは維持しておくこと、などの多くの新しいチャレンジを供給する必要がある。スペーサエッチはユニークな問題をもたらすであろう。スペーサは、エクステンション注入の大変重要な長さの定義となるポリシリコン側壁からは除去されること無く、数 100 オングストロームにもなるフィン表面からは除去されなければならない。これはより一層の高選択プロセスとフォトレジストの無い状態で改善された異方性を必要とする。

サイドウォールスペーサ幅はスペーサエッチの等方性度により決定される。ソース/ドレイン領域のシリコンロスはこのエッチの選択比とスペーサ膜除去に必要なオーバーエッチ量によって制御される。この重要なパラメータの制御は統合計測によって改善がなされるだろう。

浅いトレンチ分離(STI)もまた、32nm 世代以降になると、挑戦すべきインテグレーションの課題がある。この世代では、多くのデバイス製造者は、トランジスタのダブルランプ効果の緩和を目的として STI トレンチのトップコーナーを丸めるために、熱プロセスではなくエッチング技術を使用している。コーナーを丸めるエッチングは活性領域に侵入することが少ないという利点もある。²⁷ この応用において、インテグレーションの課題は、トップコーナーとボトムコーナーの丸め半径の制御、STI 壁スロープの制御である。コーナーを丸めるエッチングは高アスペクト比分離溝を埋め込む困難さを軽減する。

²⁶ N. Lindert, L. Chang, Y.-K. Choi, E. H. Anderson, W.-C. Lee, T.-J. King, J. Bokor, and C.-M. Hu, "Sub-60 nm Quasi-Planar FinFETs fabricated using a simplified process", IEEE Electron Device Letters, vol. 22, No. 10, pp. 487-489, (2001).

²⁷ R. Singh, P. J. Kelley, L. B. Fritzing, C. C. Lee, and J. S. Molloy, "Shallow trench isolation method providing rounded top trench corners", US Patent 6,174,786, January 16, 2001.

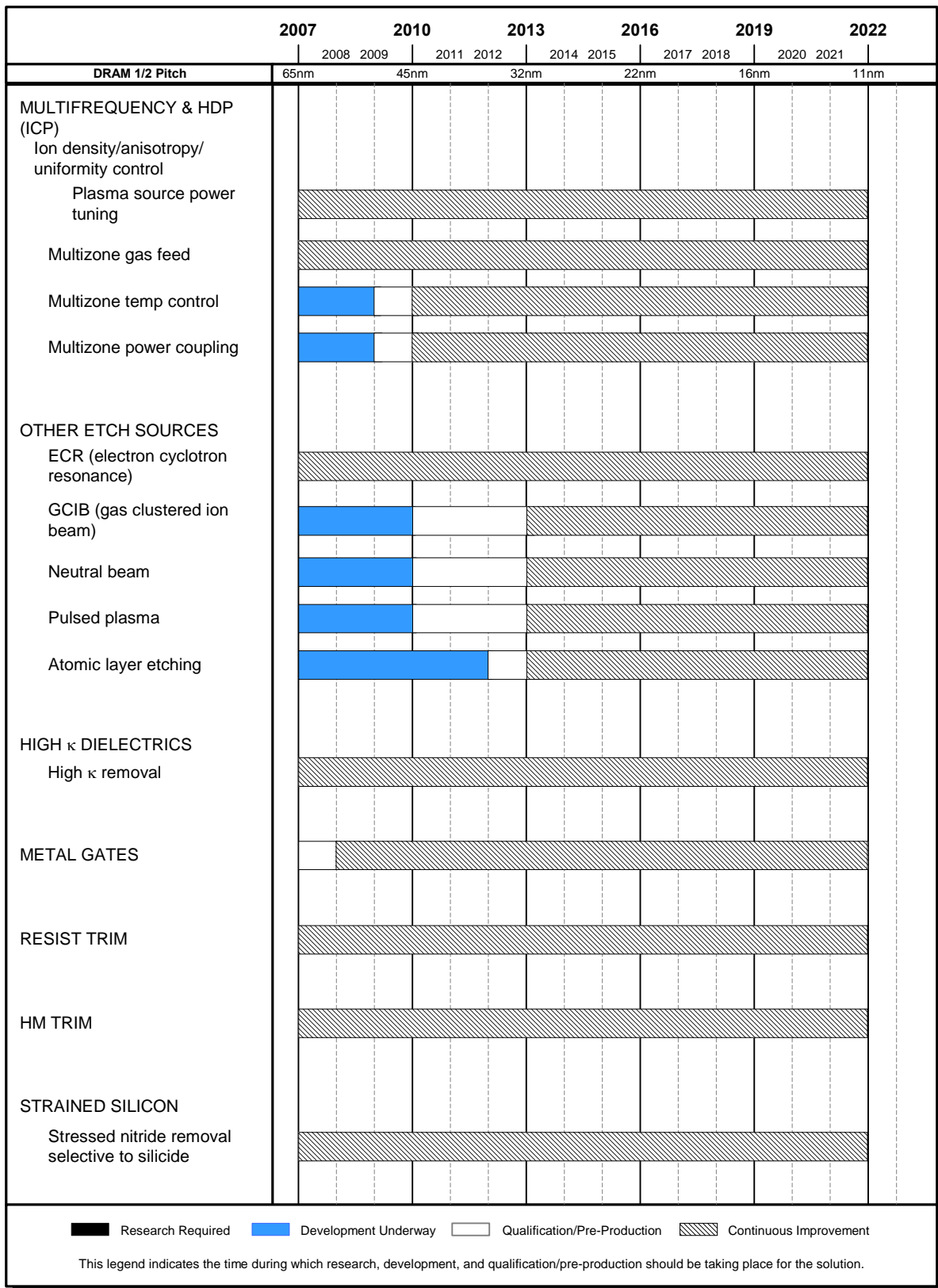


Figure FEP6 Front End Etch Processing Potential Solutions

DRAM スタック型キャパシタ

DRAM キャパシタ技術は、キャパシタ膜並びにキャパシタ電極への新材料導入という課題に直面している。Table FEP5 に DRAM のスタックキャパシタに対する技術要求を示す。DRAM のセルサイズは微細化が進められており、65nm 技術世代では $6F^2$ (F : 加工寸法〈feature size〉) のセル面積を達成している。Table

FEP5 の各目標値は、DRAM の安定動作とソフトエラー耐性を確保するために、キャパシタの容量値は 25fF/cell(セル) を維持すると仮定して計算されている。

M1 (Metal 1: 第1層目の配線金属層) ハーフピッチが 90nm よりも大きい技術世代では、キャパシタの容量絶縁膜材料に $\text{Si}_3\text{N}_4/\text{SiO}_2$ 複合膜を用い、蓄積容量電極構造を 3 次元化することで、センシングとノイズ耐性を保証できる大きさの容量を維持してきた。しかしながら、80nm 技術世代及びこれ以降はこれらの材料や構造では上記容量値を確保することが困難となった。このため、金属電極と high-k (高誘電体材料) を用いる MIM (metal-insulator-metal) キャパシタ構造が導入された。

金属電極については良好なステップカバレッジ、優れた密着性、高い仕事関数など、容量電極として共通な要求があるが、これらに加えて、堆積温度を低くして熱処理による容量特性劣化を最小限にとどめることや、膜密度を高くしてシリンダー構造の機械強度を確保することも必要である。このために、ALD (atomic layer deposition) 法や ALD に近い CVD 法が電極の堆積方法として導入された。80nm 技術世代の金属電極として適合した TiN は 45nm 技術世代まで MIM キャパシタ電極に用いられるであろう。しかし、45nm 技術世代以降は SiO_2 換算膜厚 (T_{eq}) に於いて 0.5nm 以下が必要となり、高い仕事関数と材料 (容量絶縁膜) の結晶配向性を向上させるテンプレートを供給する材料として、Ru, RuO_2 , Pt, IrO_2 , SrRuO_3 などの新しい金属電極材料が必要となる。

DRAM スタックキャパシタの微細化で主要な障害は容量絶縁膜厚 (T_{eq}) のスケーリングにある。high-k 材料である HfO_2 , ZrO_2 , Ta_2O_5 はすでに 80nm DRAM の量産に供されている。しかし、これらの絶縁体材料は比誘電率が 50 以下である。45nm 技術世代以降の T_{eq} に対する要求を満足するには比誘電率が 80 以上である TiO_2 、STO (Strontium Titan Oxide)、BST (Barium Strontium Titan Oxide) などの新しい誘電体材料の開発が必要となる。絶縁膜の比誘電率とリーク電流を保ちながら、実際の絶縁膜厚 (T_{phy}) を薄くすることは非常に困難なことのひとつである。一般には、BST のような high-k 材料の実膜厚を薄くするとその比誘電率は減少し、リーク電流は増加する。このことは T_{phy} の薄膜化には一定の限界があり、より高い比誘電率を持つ材料は、 T_{eq} を薄膜化する一方で厚い実膜厚 T_{phy} で用いなければならないことを示している。将来の high-k 材料のためには、高いスループットを持つプロセス装置だけでなく ALD や CVD に適したプリカーサの開発も必要である。

厳しい T_{eq} のスケーリングを緩めるためキャパシタ面積を増やす継続的なプロセス開発も必要である。高いアスペクト比のストレージノード形成を可能とする酸化膜エッチング性能の改善や、3D キャパシタ構造をとるストレージノード間にブリッジング現象が起こらない機械的安定度の高いプロセス体系への改善は、容量絶縁膜の厚み (T_{eq}) を薄膜化することと並び大きな挑戦である。

DRAM を混載した SoC に要求されるプロセス仕様は、メモリ/ロジックの構成比により異なってくる。混載 DRAM のキャパシタ容量への要求は汎用 DRAM ほどには厳しくないと考えられる。SoC における困難な課題の一つは、コンタクトホール形成である。一般に、DRAM のコンタクトホール深さは、同世代のロジックと比べて比較的深く、極端なアスペクト比増大を避けるためホール径を拡大せざるを得ない。これにより、同世代ロジックと同じ配線ピッチを実現することが困難となる。したがって、ロジックを優先させた SoC では、コンタクトのアスペクト比を低減させるため、セル面積の拡大によりキャパシタ高さを抑えるなどの工夫が必要になってくる。一方、DRAM を優先させた SoC では、DRAM のホール径に応じたロジックの配線ピッチを設定しなければならない。このコンタクトビア密度の問題を解決するためには、SoC ではさらにいくつかのブレークスルーが求められる。

Table FEP5a DRAM Stacked Capacitor Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM 1/2 Pitch (nm) [A]	65	57	50	45	40	36	32	28	25
Cell size factor a [B]	6	6	6	6	6	6	6	6	6
Cell size (μm^2) [C]	0.025 =0.13x0.195	0.019 =0.11x0.17	0.015 =0.10x0.15	0.012 =0.090x0.14	0.0096 =0.080x0.12	0.0077 =0.071x0.11	0.0061 =0.064x0.96	0.0048 =0.057x0.085	0.0048 =0.051x0.076
Storage node size (μm^2) [D]	0.00845 =0.065x0.13	0.0064 =0.057x0.11	0.0051 =0.051x0.10	0.0041 =0.045x0.090	0.0032 =0.040x0.080	0.0026 =0.036x0.071	0.002 =0.032x0.064	0.0016 =0.032x0.064	0.0013 =0.025x0.051
Capacitor structure	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Pedestal MIM	Pedestal MIM
t_{eq} at 25fF (nm) [G]	1.15	0.9	0.8	0.6	0.5	0.4	0.3	0.3	0.3
Dielectric constant	40	43	49	65	78	98	130	130	98
SN height (μm)	1.4	1.3	1.9	1.6	1.5	1.3	1.1	1.3	1.4
Cylinder factor [E]	1.5	1.5	1	1	1	1	1	1	1
Roughness factor	1	1	1	1	1	1	1	1	1
Total capacitor area (μm^2)	0.83	0.65	0.58	0.43	0.36	0.29	0.22	0.22	0.22
Structural coefficient [F]	33.3	34.3	38.6	36.2	37.7	37.6	35.6	45.2	45.2
t_{poly} at 25fF (nm) [H]	11.8	10.0	10.0	10.0	10.0	10.0	10.0	10.0	7.5
A/R of SN [I]	21.6	22.0	38.3	35.4	37.4	36.9	35.0	45.8	57.6
A/R of SN (OUT) for cell plate deposition [I]	33.8	33.8	63.8	63.8	74.7	83.0	93.4	160.4	144.0
HAC diameter (μm) [J]	0.08	0.07	0.06	0.05	0.05	0.04	0.04	0.03	0.03
Total interlevel insulator and metal thickness except SN (μm) [K]	0.78	0.75	0.73	0.7	0.68	0.66	0.63	0.61	0.59
HAC depth (μm) [L]	2.2	2.0	2.6	2.3	2.2	2.0	1.8	1.9	2.0
HAC A/R	28.0	29.3	44.1	42.5	43.5	49.7	43.8	63.1	67.7
$V_{\text{capacitor}}$ (Volts)	1.3	1.2	1.1	1.1	1.1	1.1	1.1	1	0.9
Retention time (ms) [M]	64	64	64	64	64	64	64	64	64
Leak current (fA/cell) [N]	0.76	0.70	0.64	0.64	0.64	0.64	0.64	0.59	0.53
Leak current density (nA/cm ²)	91.5	107.9	111.3	148.4	178.0	222.6	296.7	269.8	242.8
Deposition temperature (degree C)	~500	~500	~500	~500	~500	~500	~500	~500	~500
Film anneal temperature (degree C)	~750	~750	<750	<750	~650	~650	~650	<650	<650
Word line R_s (Ohm/sq.)	2	2	2	2	2	2	2	2	2

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

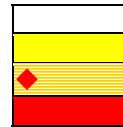


Table FEP5b DRAM Stacked Capacitor Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM 1/2 Pitch (nm) [A]	22	20	18	16	14	13	11
Cell size factor a [B]	6	6	6	6	6	6	6
Cell size (μm ²) [C]	0.003 =0.045x0.068	0.0024 =0.040x0.060	0.0019 =0.036x0.054	0.0015 =0.032x0.048	0.012 =0.028x0.043	0.010 =0.026x0.039	0.007 =0.022x0.033
Storage node size (μm ²) [D]	0.001 =0.023x0.045	0.0008 =0.020x0.040	0.00064 =0.018x0.036	0.00051 =0.016x0.032	0.0004 =0.014x0.028	0.0003 =0.013x0.026	0.0002 =0.011x0.022
Capacitor structure	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
t _{eq} at 25fF (nm) [G]	0.3	0.3	0.3	0.25	0.2	0.15	0.1
Dielectric constant	91	78	78	70	80	91	98
SN height (μm)	1.6	1.8	2.0	1.9	1.7	1.4	1.1
Cylinder factor [E]	1	1	1	1	1	1	1
Roughness factor	1	1	1	1	1	1	1
Total capacitor area (μm ²)	0.22	0.22	0.22	0.18	0.14	0.11	0.07
Structural coefficient [F]	72.4	90.5	114.3	120.7	120.7	120.7	120.7
t _{phy.} at 25fF (nm) [H]	7.0	6.0	6.0	4.5	4.1	3.5	2.5
A/R of SN [I]	74.5	90.2	111.4	117.5	122.8	106.8	99.4
A/R of SN (OUT) for cell plate deposition [J]	204.8	225.4	334.2	267.6	296.7	231.3	182.2
HAC diameter (μm) [K]	0.03	0.02	0.02	0.02	0.02	0.02	0.01
Total interlevel insulator and metal thickness except SN (μm) [L]	0.57	0.55	0.53	0.51	0.49	0.47	0.45
HAC depth (μm) [L]	2.2	2.4	2.5	2.4	2.2	1.9	1.5
HAC A/R	73.6	117.7	126.8	119.5	110.5	92.9	154.3
V _{capacitor} (Volts)	0.7	0.6	0.6	0.6	0.6	0.5	0.5
Retention time (ms) [M]	64	64	64	64	64	64	64
Leak current (fA/cell) [N]	0.41	0.35	0.35	0.35	0.35	0.29	0.29
Leak current density (nA/cm ²)	188.8	161.9	161.9	194.2	242.8	269.8	404.7
Deposition temperature (degree C)	~500	~500	~500	~500	~500	~500	~500
Film anneal temperature (degree C)	<650	<650	<650	<650	<650	<650	<650
Word line R _s (Ohm/sq.)	2	2	2	2	2	2	2

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

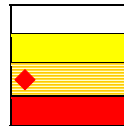


Table FEP5a と FEP5b の注釈

[A] 2005 Overall Roadmap Technology Characteristics, Table 1a and b

[B] a = (セルサイズ)/F² (F: 最小加工寸法)

[C] セルサイズ = a*F² (セルの短辺 = 2F)

[D] SN サイズ = (a/2 - 1)*F² (SN 短辺 = F)

[E] シリンダー構造によりキャパシタ面積が 1.5 倍に増大する

[F] SC = (キャパシタ総面積) / (Cell size)

[G] teq = 3.9*E0*(キャパシタ総面積)/25fF

[H] t_{phy.} = teq*Er/3.9 下部電極にポリシリコンが使用された場合には、t_{phy.} = (teq-1)*Er/3.9

[I] A/R of SN = (SN 高さ) / F

[J] A/R of SN (OUT) = (SN 高さ) / (F - 2*t_{phy.})

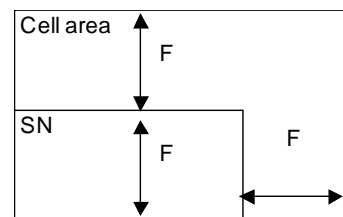
[K] HAC 径 = 1.2*F (HAC: High Aspect Contact: 高アスペクトコンタクト)

[L] 180nm 技術世代における膜厚を 1.05 μm と仮定した (世代毎に 10%の減少)

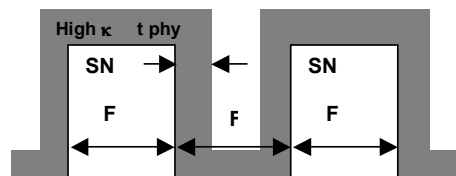
[M] HAC 深さ = SN 高さ + 層間絶縁膜と金属の総膜厚

[N] DRAM リテンションタイム (PIDS)

[O] (検出限界*C*Vdd/2)/(リテンションタイム * マージン) (検出限界=30% leak, マージン=100)



Notes[C] & [D] Cell



Note [J] A/R of SN (OUT)

	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022
DRAM M1 ½ pitch (nm)	65			45			32			22			16			11
Top Electrode	TiN			Ru, RuO ₂ , Pt, IrO ₂ , SrRuO ₃ ...												
Capacitor Dielectric Material	HfO ₂ , ZrO ₂ , Ta ₂ O ₅			TiO ₂ , STO, BST...												
Bottom Electrode	TiN			Ru, RuO ₂ , Pt, IrO ₂ , SrRuO ₃ ...												

Figure FEP7 DRAM Stacked Capacitor Potential Solutions

DRAM トレンチ型キャパシタ

Table FEP6a と FEP6b に DRAM トレンチキャパシタに対する技術要求を示す。ここに示されたキャパシタ容量の目標値は十分な信号と電荷保持特性を確保するために必要である。プロセスとセル構造に適合したビットライン容量の減少により、セルの容量は以前の ITRS ロードマップで示されたものより小さくすることが可能である。2009 年の初めにはセルの容量は 25fF に設定されているが、これはスタック型キャパシタのロードマップと一致している。また、セルサイズは 8F²を維持すると仮定している。

Metal 1 (bitline)のハーフピッチが 75nm となる技術世代まで、トレンチ型キャパシタの誘電体材料としては従来の窒化膜/酸化膜が用いられる。90nm 世代の始まりと共に更なる表面増大技術が実施された。ある深さから広がったプロファイルを用いるボトル型トレンチ技術とトレンチ表面の凹凸形状形成技術によりキャパシタの表面積が増大されている。

48-58nm 世代では、HfSiON などの high-k 材料が導入されるであろう。これらの材料を高アスペクト比のトレンチに埋め込むために、ALD (Atomic Layer Deposition) が利用されるだろう。58nm 世代においては、上部電極に金属を採用することが有望視されており、これまでの SIS (Semiconductor-Insulator-Semiconductor) 構造から MIS (Metal-Insulator-Semiconductor) 構造へと技術転換が進んでいく。上部電極としては、導体としての性質を失わない金属窒化物とカーボンが最も魅力的な候補材料である。最終的には MIM キャパシタが必須となる。

トレンチ技術によって堅く機械的強度に優れた高アスペクト比のキャパシタ構造が実現されている。48nm 世代においては、デザインルールの微細化の結果、トレンチのアスペクト比(トレンチ深さをエッチング後のトレンチ上部の幅で割った値)が~80:1 にまで増大する。より微細なルールにおいては、さらにアスペクト比が高くなることが予想される。セルトランジスタのスケーリングに関する課題を解決するため、58nm 世代では 3D セルトランジスタの導入が期待されている。

40nm 世代以降、新しい集積技術体系が導入され、セルキャパシタへの熱処理量が削減される。従って 2005 年版ロードマップで示されたよりも積極的な Teq (equivalent oxide thickness) の薄膜化が可能となる。結果として、トレンチのアスペクト比は 90nm 以降 32nm 世代まで同じに保たれる。

25nm 世代以降 Teq は 0.7nm 以下に削減することが必要となろう。この時期にどのキャパシター用 high-k 材料がリーク電流と信頼性の条件を満たしているかはまだはっきりしない。したがって、25nm 及びそれ以降の世代においては、材料とプロセスの開発に加えて新しいメモリセルのコンセプトも必要となる。

DRAM 混載アプリケーションに対してキャパシタが基板中に埋め込まれるトレンチキャパシタ技術を用いると、DRAM セルアレイとロジック回路の境界領域に段差が生じない(平らにできる)。また、アスペクト比の高い、深いコンタクトホール形成を避けることができる。

Table FEP6a

DRAM Trench Capacitor Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch “F” (nm)	65	57	50	45	40	36	32	28	25
Cell size factor “a” [A]	8	8	8	8	8	8	8	8	8
Cell size (μm^2) [B]	0.045	0.028	0.018	0.016	0.0128	0.0104	0.0082	0.0063	0.0050
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled	bottled	bottled	bottled
Trench bottle circumference (nm) [C]	549	483	399	374	333	300	266	233	208
Trench etch depth (μm) [D]	6.8	6.0	5.8	5.6	5.0	4.5	4.0	3.7	3.4
Bottled trench depth (μm) [E]	6.0	5.3	5.1	4.9	4.3	3.8	3.3	3.1	2.8
Storage node size (μm^2) [F]	3.3	2.6	2.0	1.8	1.4	1.1	0.9	0.7	0.6
Trench surface area enhancement factor (HSG) [G]	1.2	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Cell capacitance (fF) [H]	35.0	30.0	25.0	25.0	25.0	25.0	25.0	25.0	25.0
teq at Cs (nm) [I]	3.9	3.5	2.8	2.5	2.0	1.6	1.2	1.0	0.8
Trench top opening (nm) [J]	98	81	70	63	56	50	45	39	35
Trench etch aspect ratio [K]	70	74	83	89	89	89	89	94	97
Capacitor structure	Cup SIS	Cup MIS	Cup MIS	Cup MIM	Cup MIM	Cup MIM	Cup MIM	Cup MIM	Cup MIM

Table FEP6b

DRAM Trench Capacitor Technology Requirements—Long-term Years

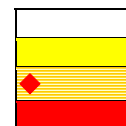
Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch “F” (nm)	22	20	18	16	14	13	11
Cell size factor “a” [A]	8	8	8	8	8	8	8
Cell size (μm^2) [B]	0.0039	0.0032	0.0026	0.0020	0.0016	0.0014	0.0010
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled	bottled
Trench bottle circumference (nm) [C]	183	166	150	133	116	108	92
Trench etch depth (μm) [D]	3.0	2.8	2.6	2.4	2.3	2.2	2.1
Bottled trench depth (μm) [E]	2.5	2.3	2.1	1.9	1.8	1.7	1.6
Storage node size (μm^2) [F]	0.5	0.4	0.3	0.3	0.2	0.2	0.1
Trench surface area enhancement factor (HSG) [G]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Cell capacitance (fF) [H]	25.0	25.0	25.0	25.0	25.0	25.0	25.0
teq at Cs (nm) [I]	0.6	0.5	0.4	0.3	0.3	0.3	0.2
Trench top opening (nm) [J]	31	28	25	22	20	18	15
Trench etch aspect ratio [K]	97	100	103	107	117	121	136
Capacitor structure	Cup MIM	Cup MIM	Cup MIM	Cup MIM	Cup MIM	Cup MIM	Cup MIM

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Tables FEP6a and FEP6b の注釈:

[A] $a = (\text{セルサイズ})/F2$ (F equals DRAM half pitch)

[B] セルサイズ = $a * F2$

[C] トレンチボトル 周囲長 = $4 * (2.83 - \text{ridge}) * F$

[D] トレンチエッチ深さ (μm)

[E] トレンチキャパシタのボトル部分深さ

[F] ストレージノードのサイズ = (trench bottle circumference) * (bottled trench depth)

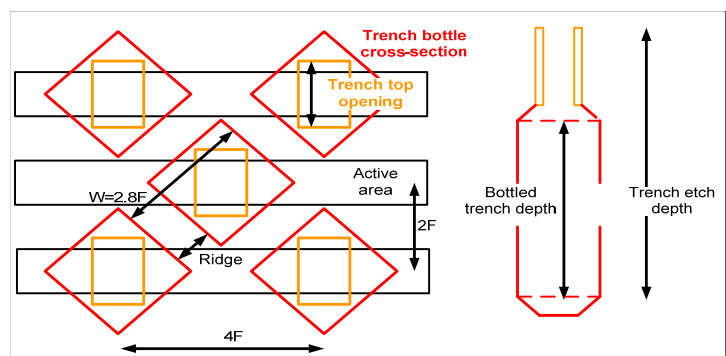
[G] HSG によるストレージノードの面積増大

[H] セルの容量 = Cs

[I] $teq = 3.9 * E0 * (\text{storage node surface area}) / Cs$

[J] エッチング後のトレンチトップ開口サイズ

[K] トレンチエッチングのアスペクト比 = (trench etch depth) / (trench top opening)



不揮発性メモリ (フラッシュ)

Table FEP7 は、NOR と NAND フラッシュメモリの主な技術的要求をまとめている。最も重要な問題はセル領域の縮小に関係している。(PIDS の章にある不揮発性メモリの技術的要求 Table を参照。)そして結果としては、メモリセルを形成する上で重要となる 2 つの絶縁膜であるトンネル絶縁膜と Poly-Poly 間絶縁膜の膜厚を薄膜化することであるが、一方でメモリセルの電荷保持特性や要求耐性を保証する必要がある。NAND フラッシュでは最適な最小加工寸法の定義は、メモリセルのハーフピッチである。Figure FEP8 の例に示すように、ビットラインに対して平行にメモリセルの断面を見たとき、2 層目のポリシリコン(ワードライン)のハーフピッチである。

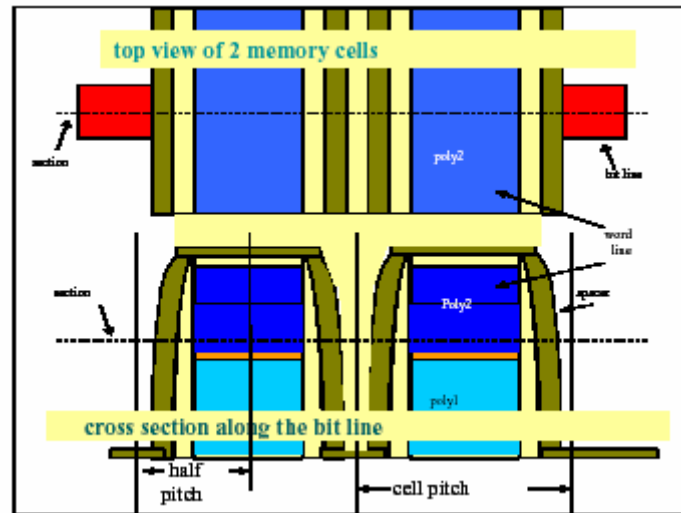


Figure FEP8 Minimum Feature Size of NAND Flash Memory

一方 NOR フラッシュでは、最小加工寸法の定義は各生産者間で用いているセル構造が異なるため簡単ではない。Figure FEP9 の例で示すように、NOR フラッシュでは以下のような最小加工寸法の定義が用いられる。

- ・ 2 層目ポリシリコン(ワードライン)と平行に断面を見たときのメモリセルのハーフピッチ
- ・ ワードラインに沿った方向に見たときの 1 層目ポリシリコンの間隔
- ・ 最小のコンタクトホールサイズ

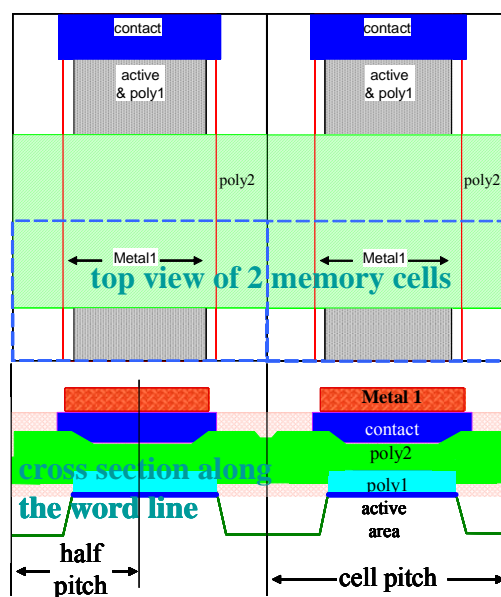


Figure FEP9 Minimum Feature Size of NOR Flash Memory

トンネル酸化膜厚は、書き込み/消去特性向上のために薄膜化しなければならない。一方、Poly-Poly 間絶縁膜厚の薄膜化は、制御ゲートと浮遊ゲート電圧間の比を適切にし、ほぼ一定値である容量カップリング比率 αg を維持するために重要である。カップリング比率は通常、Poly-Poly 間絶縁膜厚の薄膜化とトンネル酸化膜厚と浮遊/制御ゲートカップリング面積を増加することで改善される。トンネル酸化膜厚をスケールリングすることは、フラッシュメモリにとって主要な挑戦の一つであり、厚膜化するほど良好になる電荷保持特性と薄膜化するほど特性向上する書き込み/消去特性を同時に保証しなければならない。

αg に関して浮遊/制御ゲートカップリング面積の影響は、NOR と NAND フラッシュの両方で 45~40nm 技術世代から重大な問題として顕在化する。二つの隣り合った浮遊ゲート(Poly1)間スペースが小さくなると、現状の構造では、制御ゲート(Poly2)が Poly1 の縦側壁を覆うことができなくなる。Poly1 と Poly1 の縦側壁にある Poly2 との電気的カップリングの不足は結果として αg の劣化となり、代償として Poly-Poly 間絶縁膜厚の薄膜化要求がさらに強くなる。この状況を Figure FEP10 に示す。

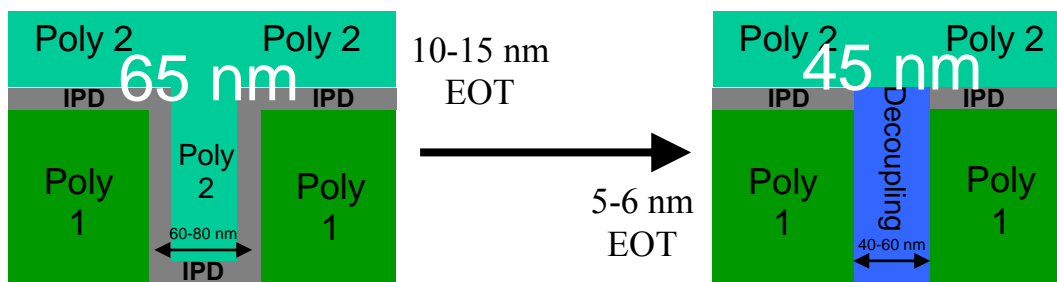


Figure FEP10 Flash Memory Interpoly Dielectric Thickness Scaling at 45 nm

現在の Poly-Poly 間絶縁膜の技術は、酸化窒化膜を基にしており、積極的な等価酸化膜厚 (EOT) 減少は電荷保持特性を許容できないため、恐らく不可能と思われる。したがってこの段階で high-k 材料の導入が必要であろう。代わりに制御ゲートに対して、高いカップリング面積を維持する新しい浮遊ゲート構造やポリシリコンとは異なる電荷保持材料が潜在的な解決策となる。この観点から 45~40nm 技術世代は、従来構造とメモリセル構造の変革による新しい解決策の両面で転機となるであろう。

フラッシュメモリの別の挑戦は、STI 形成の微細化にある。X 方向(ワードライン方向 Figure FEP9)の微細化の継続のためには、STI トレンチの深さを継続した場合のトレンチアスペクト比の増加に伴い、STI 酸化膜の埋め込みが課題となる。(Figure FEP11, FEP12) フラッシュメモリにおけるそれらの課題の概要と解決策の可能性を Figure FEP13 に示す。

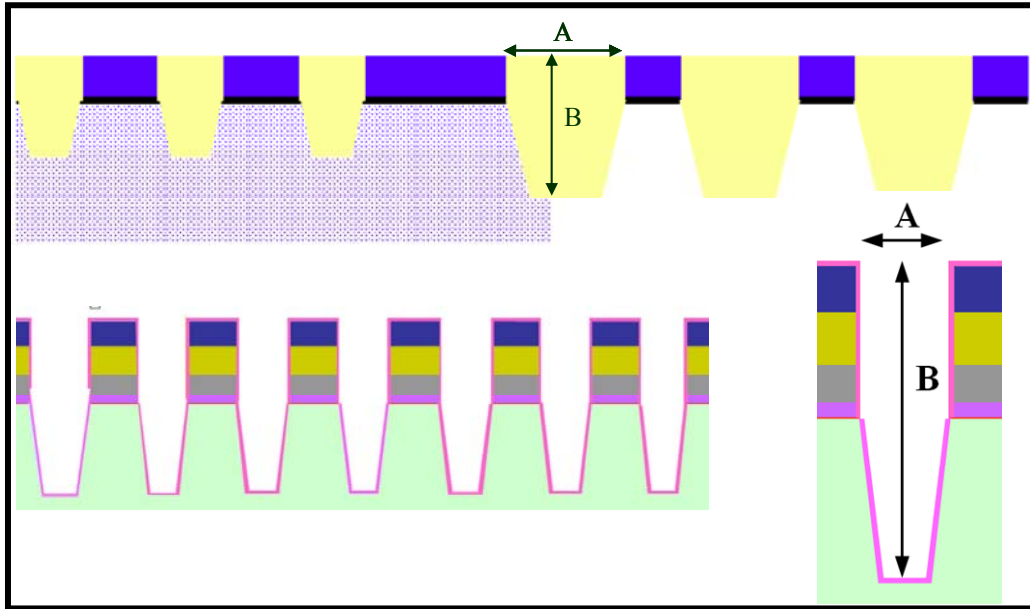


Figure FEP11 Schematics of STI Isolation Trenches

アスペクト比は B/A で定義される、深さはシリコン内のトレンチ深さとシリコン表面からの積層堆積層の高さの両方を含んでいる。要素 A は最小加工寸法に基づき、要素 B は素子分離構造の種類に依存する。

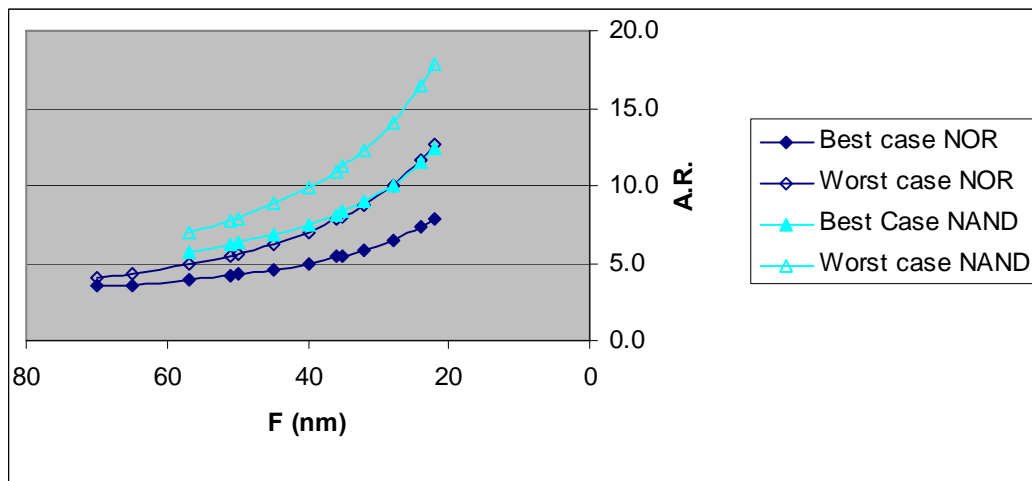


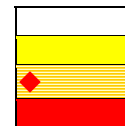
Figure FEP12 Evolution of the STI Aspect Ratio for Flash Memories with the Minimum Feature Size

高アスペクト比のトレンチに対する分離酸化膜の埋め込みという重要な課題に直面している。分離の形成に関する追加的な課題として、STI 形成におけるサーマルバジェット全体の問題があげられる。Chip 内で異なる (メモリアレイ対 I/O 回路) STI トレンチ構造の両立が、とりわけセルフアライン STI 構造において課題とされている。

Table FEP7 FLASH Non-volatile Memory Technology Requirements

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017
NAND Flash poly ½ Pitch (nm) [A]	51	45	40	36	32	28	25	22	20	19	18
NOR Flash -F (nm) [A]	65	57	50	45	40	35	32	28	25	22	20
Flash NOR tunnel oxide thickness (EOT-nm) [B]	8.5-9.5	8.5-9.5	8.5-9.5	8-9	8-9	8-9	7-8	7-8	7-8	7-8	7-8
Flash NOR tunnel dielectric material [C]	Oxide	Oxide	Oxide	Oxide	Oxide	Oxide	Ox / High-k	Ox / High-k	Ox / High-k	Ox / High-k	Ox / High-k
Flash NAND tunnel oxide thickness (EOT-nm) [B]	7-8	7-8	6-7	6-7	6-7	6-7	6-7	6-7	6-7	6-7	6-7
Flash program/erase window minimum DVT SLC/MLC (V) [D]	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4	1.5/2.4
Flash erase/program time degradation t_{max}/t_0 at constant V [E]	<2	<2	<2	<2	<2	<2	<2	<2	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [F]	13-15	13-15	13-15	◆ 6-1 3	◆ 6-1 3	◆ 6-1 3	4-6	4-6	4-6	3-5	3-5
Flash NAND interpoly dielectric thickness (EOT-nm) [F]	10-13	10-13	◆ 5-1 2	◆ 5-1 2	4-6	4-6	4-6	3-5	3-5	3-5	3-5
Flash NAND Interpoly Dielectric Material [G]	ONO	ONO	ONO/ High-k	ONO/ High-k	High-k	High-k	High-k	High-k	High-k	High-k	High-k
Flash interpoly dielectric thickness control EOT (% 3s) [H]	<±5	<±5	<±5	<±5	<±5	<±5	<±5	<±5	<±5	<±5	<±5
Flash interpoly dielectric T_{max} of formation $t > 5' < 5'$ (°C) [I]	750/900	750/900	750/900	650/800	650/800	650/800	600/700	600/700	600/700	600/700	600/700
Flash interpoly dielectric conformality on floating gate EOT _{min} /EOT _{max} [J]	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98
Tunnel / Interpoly max leakage current (A) at 2 V for 10 years data retention [K]	5 E-25	5 E-25	5 E-25	2.50E-25	2.50E-25	2.50E-25	1.30E-25	1.30E-25	1.30E-25	6.00E-26	6.00E-26
Flash NAND STI Filling Aspect Ratio(min-max) [L]	6.3-7.9	6.8-8.8	7.5-9.9	8.1-10.9	9-12.3	10-14.1	11.5-16.4	12.4-17.9	12.9-18.8	13.5-19.8	14.2-21.0
Flash NAND STI Filling Technology [M]	HDP/CVD	HDP/SOD	HDP/SOD	HDP/SOD	SOD	SOD	SOD	SOD	SOD	SOD	SOD
Flash NOR STI Filling Aspect Ratio(min-max) [L]	3.6-4.3	3.9-4.9	4.3-5.6	4.6-6.2	5.0-7.0	5.4-7.8	5.8-8.7	6.5-10.0	7.3-11.6	7.8-12.7	8.1-13.4

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



TableFEP7 に対する注釈

[A]過去においてフラッシュデバイスは、CMOS に比べて遅れ気味であったが、もはやその遅れは全くない、今では NAND フラッシュは微細化の突進を先導している。この値がセル設計で用いられる F 値を規定している。

[B] トンネル酸化膜は、リテンションの問題を引き起こさないように十分厚い厚さで、消去/書き込みを容易に行うことができるほど十分に薄い膜厚である。トンネル酸化膜が 7nm 以下でリテンションに対する基本的な問題を引き起こすであろう。

[C] シリコン酸化膜と high-k 材料の組み合わせは、将来に継続されるトンネル酸化膜の薄膜化と、メモリデバイスの電化保持特性の保証の要求による。

[D] 単一セル/多値セル(SLC/MLC)に対するプログラム電圧分布の最小値と消去電圧分布の最大値との間隔。

[E] 消去/プログラム電圧補正を考慮せずに、書き込み/消去を規定回数の最大回行った後のプログラム時間の劣化。

[F] Poly-Poly 間絶縁膜はリテンションを保証するのに十分な厚さで、セルのカップリング比をほぼ一定に保つよう十分に薄い膜厚でなければならない。リテンションが Poly-Poly 間絶縁膜をスケールアップする上での主要問題である。

[G] high-k インターポリは、インターポリの EOT を低減し、リテンション特性を損なうことなくカップリング比を維持することができる。

[H] 正確なカップリング比とリテンション特性に必要な最小膜厚を保証できる膜厚制御性。

[I] トンネル酸化膜とデバイス劣化を起こさない、長時間(5分以上)、短時間(5分以内)の熱処理の最大温度。

[J] 均一なステップカバレッジはリテンション特性を保証するために重要であり、特に浮遊ゲート側壁が電氣的に制御ゲートで結合されると、カップリング比を高められる。

[K] 10 年間データリテンションを保証するためのトンネル絶縁膜と Poly-Poly 間絶縁膜を流れる最大リーク電流。セルをプログラムするとき浮遊ゲートを -2V とし、全容量は技術世代ごとに半分になることを考慮して計算している。20 年のデータ保持特性を保証する場合は、リーク電流の目標値は表中の値の 50%となる。

[L] 埋め込むトレンチの高さと長さの比。最小値は、ドレインシリサイドのない通常の NOR、最大値は通常の NAND である。トレンチの高

さは、シリコン上の積層膜の高さとシリコントレンチの深さ含む。現実の縦方向寸法は文献値 17,18 に基づいている、そして将来のトレンドは、動作電圧がスケールされる NOR では全体的な縮小に、動作電圧のスケールが難しい NAND ではシリコントレンチの縮小が行われないことに基づいている。トレンチの長さは技術世代の最小加工寸法である。

[M]SOD(スピノオン絶縁膜)技術は非常にアスペクト比の高いトレンチに必要である。

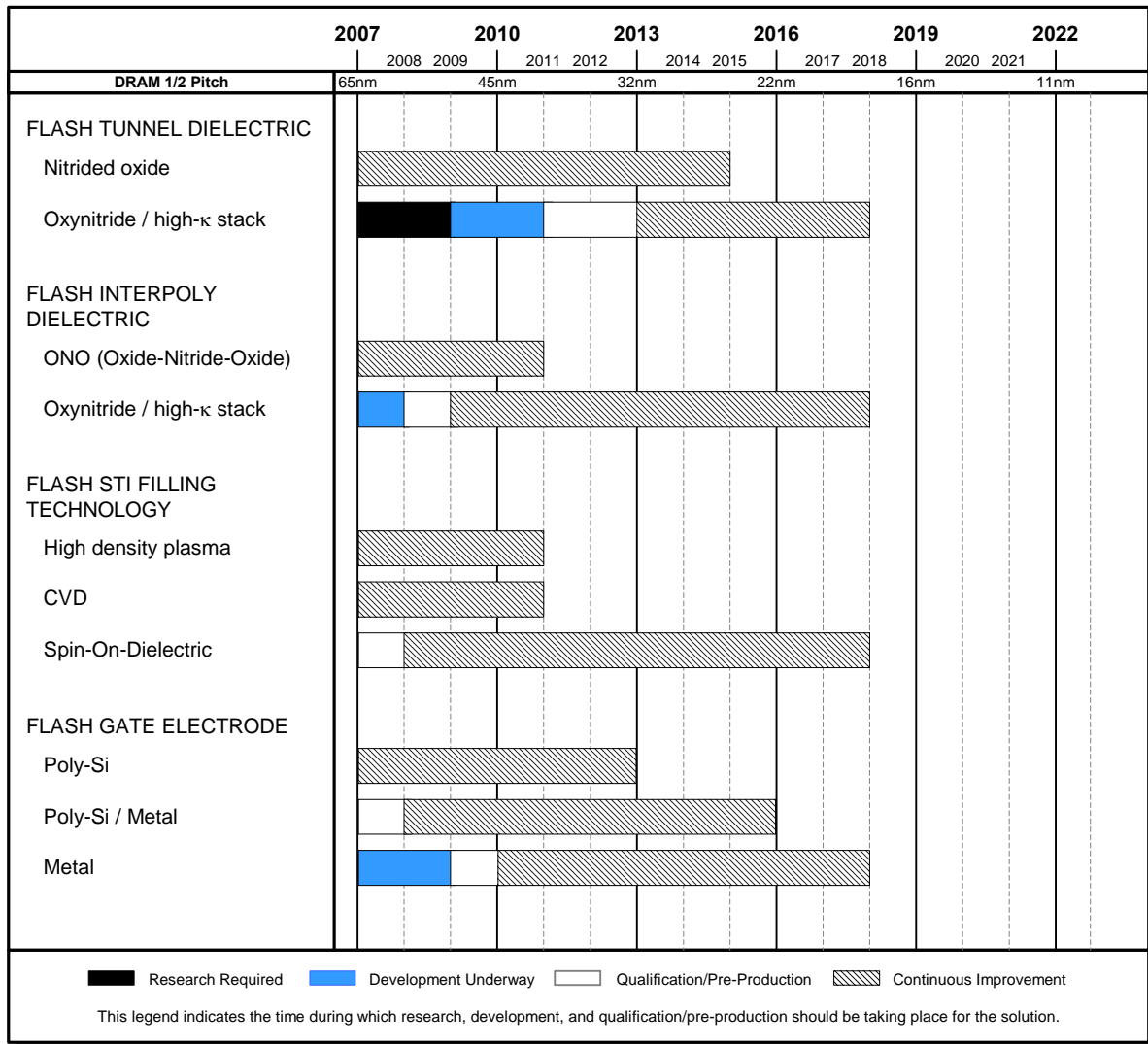


Figure FEP13 Flash Non-Volatile Memory Floating Gate Potential Solutions

チャージトラッピングフラッシュメモリテクノロジー

NOR フラッシュ、NAND フラッシュ双方の、微細化の継続のためには、伝統的なフローティングゲート技術に代わる新しい技術の開発が必要である。一般的に、NAND フラッシュセルに比べて、NOR フラッシュセルの方が、微細化に対する課題がより多いと考えられる。しかしながら、NAND フラッシュ、NOR フラッシュともに主としてマルチレベルセルのクロストーク効果の影響を受ける。その上、NAND フラッシュ、NOR フラッシュともに、ワードライン方向でのフローティングゲート上の ONO (Oxide-Nitride-Oxide) 絶縁膜の膜厚による poly-poly 間の微細化の限界に直面している。チャージトラッピングメモリテクノロジーは、シリコン窒化膜もしくは high-k 絶縁膜中に蓄えられたチャージを原理として、前述の課題を解決することが可能となる技術である。

チャージトラッピング技術による主なアドバンテージは

- ・ フローティングゲート間の干渉の抑制。
- ・ 高スケーラビリティ (FinFET 構造で適用可能)。
- ・ 混載メモリアプリケーションのインテグレーションが容易。
- ・ トンネル酸化膜の局所的な欠陥による影響の軽減。
- ・ 消去ばらつきに有利。

チャージトラッピング技術に対する共通の認識された挑戦は

- ・ ゲートと窒化膜のカップリングレシオが低い。
- ・ トラッピング材料とゲート間に high-k ブロックングレイヤーが必須である。
- ・ 高ワークファンクションのゲート電極: 例えばメタルゲートでは消去のために適した電圧ある。
- ・ サイクリング後のデータ保持特性は絶縁膜中のチャージの分布による。

それらの挑戦に対する開発の結果、トラッピング材料と high-k ブロックングレイヤーとメタルゲート電極の課題を含めた幾つかの主要な技術課題は明らかにされ、チャージトラッピング技術は量産化前の段階へと移行しつつある。

相変化メモリ (PCM: PHASE CHANGE MEMORY)

相変化メモリ (PCM) 技術は、カルコゲナイド合金の基本的な特性に基づいているので、標準 CMOS プロセスへの材料インテグレーションが重大な挑戦となる。²⁸すでに非常に強く実証されている単一セル概念だけでなく、非常に高密度な不揮発性メモリの製造力、ここでは数億以上のセル動作実証されているかでのみ確立された技術であるとみなすことができる。

カルコゲナイド合金の電氣的、輸送特性を考慮して、結晶質か非晶質かのどちらであるか、簡潔な機能配列では PCM セルは、可変抵抗器 (ヒーターとカルコゲナイド材料-データストレージと呼ばれる) と選択デバイス (トランジスタ) で形成される。

Figure FEP14, FEP15, FEP16 に、相変化を引き起こす基本的コンセプトの説明と要求される特性を示す。成される。したがって、基本的な PCM セルは、1T/1R 構造となる。アプリケーションとプロセス構築戦略に依存して、トランジスタとデータ保存の形式は異なる。高密度メモリでは、より簡潔なセルレイアウトは pnp バイポーラトランジスタに対する縦のインテグレーションを通じて実現される。²⁹ ³⁰一方、組み込みメモリでは、トランジスタは n チャネル MOS であり、ここでのより大きなセルサイズは、最小プロセスコスト増分となる標準 CMOS によって釣り合いをとる。

²⁸ カルコゲナイドは VI 族元素に基づいた合金であり、アモルファスと単結晶の両方とも室温で安定である興味深い特性を有する。特にもっとも将来有望であるのは GeSbTe 合金であり、しばしば GST として引用される (GeTe と Sb₂Te₃ との間である) 擬似 2 成分組成である。

²⁹ S.Lai and T.Lowrey, "OUM - A 180nm NVM cell element technology for stand alone and embedded applications", IEDM Tech. Dig., 2001.

³⁰ F. Pellizzer et al., "Novel utrench Phase-Change Memory Cell for Embedded and Stand-Alone Non-Volatile Memory Applications," Symp. on VLSI Tech., pp. 18-19, 2004.

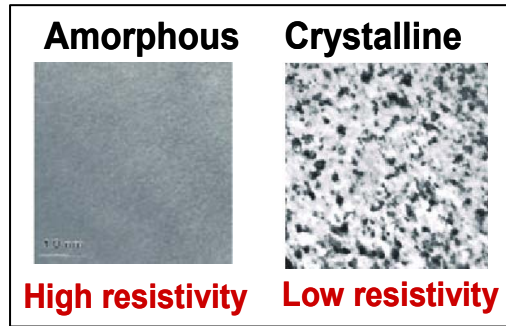


Figure FEP14 Amorphous / Poly-crystal Phases of a Chalcogenide Alloy, usually $Ge_2Sb_2Te_5$ (GST)

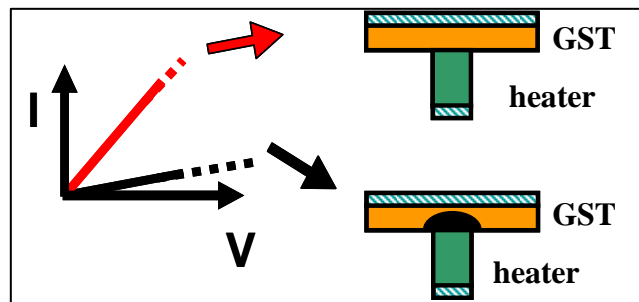


Figure FEP15 Resistance Change of GST

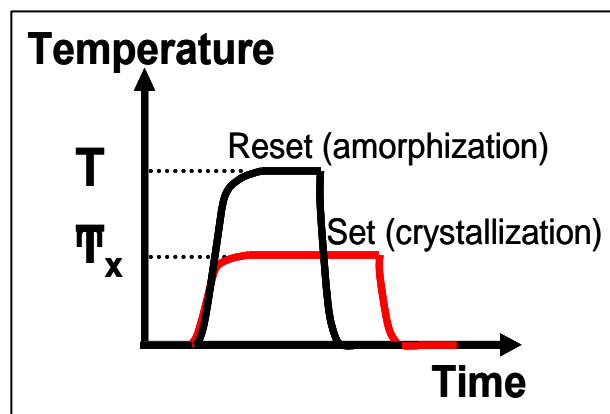


Figure FEP16 Set/Reset Thermal Cycles to Change the Crystal Phase of the GST Material and to Write/Erase the PCM

データ保存に対するインテグレーションは、CMOS プロセスのフロントエンドとバックエンドとの間で形成される。「単純な」可変抵抗器(すなわちヒーター)とカルコゲナイド系の形成方法は異なるであろう。その選択は、プロセスの複雑さ、現状の性能、熱特性、スケーリングの可能性に対する基本的な理解にある。³¹一つの可能性として報告されているアプローチは、平面カルコゲナイドに対するサブリソコンタクトヒーターやコンタクトとカルコゲナイドに限定してリセスした修正版を利用し、耐熱性を改良し、リセット電流を減少させる。^{32 33}完全に異なるアプローチは薄い縦の半金属ヒーターとカルコゲナイドを成膜した「マイクロレンチ」と呼ばれる溝の交差

³¹ A. Pirovano et al., “Scaling analysis of phase-change memory technology”, IEDM Tech. Dig., p.699-702, 2003.

³² S.J.Ahn et al., “Highly manufacturable high density Phase Change Memory of 64Mb and beyond”, 2004 IEDM, 37.3, pp. 911-914.

³³ S.J.Ahn et al., “Highly reliable 50nm contact cell technology for 256Mb PRAM”, Dig. of 2005 Symp. on VLSI Tech., p.98, 2005.

によってヒーターとカルコゲナイドとの間の接触面積を定義する。マイクロレンチ²⁹はサブリソ技術やヒーター膜厚によって定義できるので、セル性能は結果として、未だに良い寸法管理を維持できているコンタクト面積を調整することで最適化することができる。

PCM コンセプトの高い可能性と、良好なインテグレーションが成し遂げられているにもかかわらず、実用的な挑戦に取り掛かることが必要である。³⁴ ³⁵とりわけ、カルコゲナイド合金を使った PCM セル構造のインテグレーション、先端 CMOS 技術との両立、PCM 技術の特色を劣化させることなくプログラム電流を減少することに多大な努力が注がれている。インテグレーションが容易な PCM セルとして柱状構造が成されている、しかし結果的に書き込み電流が少々大きい、そこで、選ばれたデバイスとして、全体の低消費電力として追加の制約をとっている。PCM デバイスの書き込み電流を低減させるために、カルコゲナイド合金をトレンチの中²⁹³³、コンタクト領域³⁶、もしくはコンタクトホールに閉じ込める³⁷ 等、幾つかの手法が提案されている。主なアイデアは、カルコゲナイド材料が 2 つの相の間を変化する、最大限の電流をセルのアクティブ領域に直接印加するものである。実際、コンタクトホールにカルコゲナイド材料を埋め込み、完全に閉じ込めた構造を用いると、書き込み電流が 50% 低減されることが評価されている。とじこめ構造のすぐれた特性は、マイクロレンチ PCM セル構造において、書き込み電流が 180nm 世代で 450 μ A、90nm で 350 μ A を成し遂げることが実証された。²⁹ ³³ 50nm コンタクトでの書き込み電流 260 μ A は、完全に閉じ込めた構造をカルコゲナイドの CVD 堆積により達成した。³⁶ それらの能率的な PCM セル構造の製作の結果は、非常に高アスペクト比の閉じ込め構造を要求することになる。カルコゲナイド材料の継続的な開発は、セル構造の発展の支えを期待する。

大きなアレイ製品の信頼を支えるには、PCM 技術は非常に少ない欠陥密度で製品の寿命の間データを保持することが必要である。データ保持は、結晶の運動の制御された、材料の非晶質相の抵抗の喪失により制限される。GST のリセットセルにおける、先んじたデータ保持結果では 85°C で 10 年以上を得ており、通常の不揮発性メモリの適用には十分である。³⁸ ³⁹ この値は、民生品向けには申し分ない。しかし、高温での動作(たとえば自動車アプリケーション)の要求には適合していない。最大保持温度の改善が必要である。この改善は主に違うカルコゲナイド合金か材料によるであろう。

PCM 技術の魅力ある特徴の一つは、書き込みと消去が繰り返された時に優れた書き換え回数が予想されることである。幾つかの論文では、書き換え回数は 10^7 から 10^{12} 回と報告されている。そのような印象的な結果は、カルコゲナイド合金の本質的な耐性と同じくらい、材料に囲まれた PCM セルの安定性が優れていることによる。その中で、熱電極はセルの中でも 600°C 以上の高温と $1\text{A}/\mu\text{m}^2$ を超える電流密度の過酷なストレスを受ける部分である。ヒーター材料の最も重要な電気的特性は、書き換え仕様回数の間、安定している要求に対してサイクリングの間、電気抵抗を維持することである。最大の抵抗値の変化は、PCM セルの熱要素の主な電気特性のガイドライン、保証できる要求、電流値、書き換え回数の要求に対する PCM セルのロジックの状態を与えるものである。

熱抵抗の安定性の要求値は、最大リセット電流密度の仕様に密接に関係する。すでに報告されているように、単純な等方的な微細化の仮定では、リセット電流密度は微細化ファクターに比例して増加すると考えられる、予測的なロードマップではより積極的なトレンドが期待される。³⁰ この増加による好ましくない効果は、ヒーター材料とカルコゲナイドとヒーターの界面に対するより積極的なストレス条件、電流密度の要求の遅い増加に直面することになる。安定性の要求を維持したうえ、ヒーター抵抗の増加のなかで、PCM デバイスの微細化の

³⁴ F. Pellizzer et al., "A 90nm Phase-Change Memory Technology for Stand-Alone Non-Volatile Memory Applications", Symp. on VLSI Tech., pp. 122-123, 2006.

³⁵ S. Kang et al., "A 0.1 μm 1.8V 256Mb 66MHz Synchronous Burst PRAM", ISSCC Tech. Dig., pp. 140-141, 2006.

³⁶ Y. N. Hwang et al., "Writing Current Reduction for High-density Phase-change RAM", IEDM Tech. Dig., 2003

³⁷ J. I. Lee et al., "Highly Scalable Phase Change Memory with CVD GeSbTe for sub 50nm Generation", Symp. on VLSI Tech., pp. 102-103, 2007.

³⁸ K. Kim and S.-J. Ahn, "Reliability investigations for manufacturable high density PRAM," in Proc. IRPS, pp. 157-162, 2005.

³⁹ A. Pirovano et al., "Reliability study of Phase-Change Nonvolatile Memories," IEEE TDMR 4 (3) 2004.

要求を成し遂げるには、よりすぐれた熱効率が注視されている。PCM 技術の微細化ロードマップは、書き換え回数の要求と要求仕様のトレードオフを克服できる熱電極材料の開発要求に直面している。

Table FEP8a Phase Change Memory (PCM) Technology Requirements—Near-term Years

Grey cells indicate the requirements projected for years before it reaches volume production.

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
PCM ½ Pitch (nm) (contacted)	65	57	50	45	40	35	32	28	25
Phase change material min. conformality (%) [A]	30	60	70	70	90	90	90	90	90
PCRAM phase change material minimum operating temperature (°C) [B]	85	100	100	100	125	125	125	125	125
Heater max resistivity change during reset cycle and after 1E12 cycles (%)	5	5	5	2	2	2	1	1	1
Maximum Reset Current Density (A/μm ²)	0.3-0.8	0.3-0.8	0.3-0.8	0.4-1.0	0.4-1.0	0.4-1.0	0.5-1.3	0.5-1.3	0.5-1.3

Table FEP8b Phase Change Memory (PCM) Technology Requirements—Long-term Years

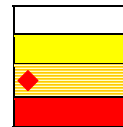
Year of Production	2016	2017	2018	2019	2020	2021	2022
PCM ½ Pitch (nm) (contacted)	22	20	18	16	14	12	10
Phase change material min. conformality (%) [A]	90	90	90	90	90	90	90
PCRAM phase change material minimum operating temperature (°C) [B]	125	125	125	125	125	125	125
Heater max resistivity change during reset cycle and after 1E12 cycles (%)	1	1	1	1	1	1	1
Maximum Reset Current Density (A/μm ²)	0.5-1.3	0.5-1.3	0.5-1.3	0.5-1.3	0.5-1.3	0.5-1.3	0.5-1.3

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



TableFEP8a と b に対する注釈

[A] マイクロレンチ PCM の層変化材料の一致性の要求は、動作電流と形成技術による。^{29 33 35 36 40 41 42 43}

[B] PCM の動作温度は、最低 10 年のデータ保持特性の保証から決められる。^{31 41 44}

[C] ヒーターの最大抵抗変化は、PIDS の Table “Non-volatile Memory Technology Requirements”にある書き込み/消去-書き換え回数の仕様から決められる。^{30 31 45}

[D] 最大電流密度の要求は、PCM セルのリセット(結晶性が非晶状態からの)で決められる。電流密度は PCM セルの信頼性である書き換え回数に影響すると考えられる。報告の値は PIDS の Table “Non-volatile Memory Technology Requirements”の書き換え回数の仕様に合うように意図されている。^{30 44}

強誘電体メモリ(FERAM: FERROELECTRIC RANDOM ACCESS MEMORY)

FeRAM (FRAM とも略記する)は ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両テクノロジーワーキンググループの協力による成果である。FeRAM 性能への要求値は Table FEP9a と FEP9b にあるとおりであり、これは 2007 年に行った FeRAM 製造メーカーへの調査に基づき改訂された。

歴史的には、FeRAM は半導体メモリよりもっと早く提案されている。⁴⁶ しかしながら、強誘電体膜の信頼性

⁴⁰ Y.H.Ha et al., “An edge Contact Type Cell for Phase Change RAM Featuring Very Low Power Consumption”, VLSI Symp. 2003.

⁴¹ B. J. Choi et al., “Cyclic PECVD of Ge2Sb2Te5 Films Using Metallorganic Sources”, J. of the Electrochemical Society, 154, 2007.

⁴² R.-Y. Kim et al., “Structural properties of Ge2Sb2Te5 thin films by metal organic chemical vapor deposition for phase change memory applications”, Appl. Phys. Lett., 89, 102107, 2006.

⁴³ J. Lee et al., “GeSbTe deposition for the PRAM application”, Applied Surface Science, 2006.

⁴⁴ A. L. Lacaita et al., “Electrothermal and Phase Change Dynamics in Chalcogenide-Based Materials”, 2004 IEDM, 37.3, pp. 911-914.

⁴⁵ S. Lai, “Current Status of Phase Change Memory and Its Future”, 2003 IEDM, pp. 255-258.

⁴⁶ J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices, ED10, 338, 1963.

に制限があり、キャパシタ形成が難しいため、現時点ではメモリ容量は汎用 DRAM の 1000 分の 1 程度でしかない。これら技術的困難さに加え、「キラー・アプリケーション」が欠如しているため、商用生産は進んでいない。FeRAM は、たゆまなく行われている強誘電膜等の材料開発に大きく依存するので、ここでの予測はどうしてもある程度推測的にならざるを得ない。それでもなお、技術の方向性と解決されるべき課題に関する戦略的な概観を示すため、このロードマップは 2007 年から 2022 年までを取り扱っている。

量産に基づいたロードマップ作成

2001 年 FeRAM ロードマップが示されて以来、2001-2006 年の FeRAM への要求指標値は学会発表に基づくものであった。FeRAM に対する市場での正確な要求が不明であったためである。その結果、学会での報告内容と量産品デバイス性能の間に大きな乖離が生じていた。これを解消するため 2007 年度版の仕様値は、3 つの異なる尺度での定義を行った。第一の規準は FeRAM 製造メーカのホームページにある仕様である。第二の規準は製造メーカへの調査である。第三の規準は DRAM で確立された慣例を用い、ロードマップ中のテクノロジーのレベルは、少なくとも月産 10,000 チップの製造を行った先行 2 社に基づくというものである。

MIXED SIGNAL 製品と加工寸法

これまで述べたように、FeRAM テクノロジーの進展は、Flash や DRAM のような先端メモリに対して沈滞している。この乖離が存在しているが、FeRAM 製造メーカは Table FEP9a に示すように、0.13 μm テクノロジーでの先端 CMOS とメタル 1 層ハーフピッチが 0.18 μm テクノロジーの FeRAM を使ったデバイスを開発した。先端 CMOS とデザインルールを緩和した FeRAM の組み合わせにより FeRAM アプリケーションが増えることが期待されている。Table FEP9a には DRAM と同じ基準を使っている 2007 年の商品のために、0.13 μm テクノロジー世代での加工寸法を示している。加工寸法は 3 年毎に 0.7 倍になると予想しているが、この値は、他の確立されたメモリと比較して、ゆっくりとしたペースで進んでいる。

セルサイズ

現在の主流のセル構造は 1 トランジスタ-1 キャパシタ (1T-1C) 型である。これは安定なデータの読み出しを保証するために必要であった 2T-2C 型セルから置き換わった。しかしながら、どちらのセル構造ともにデバイス用途に応じて用いることが可能である。キャパシタ構造に関しては、平面キャパシタ型からスタック型構造に変更された結果、セルが小さくなった。通常のスタック型から 3 次元 (3D) 型のキャパシタへの変更の時期は強誘電体材料に依存するが、おおよそ 2016 年に出現すると予想される。キャパシタ構造の違いについては Table FEP9a と FEP9b のところに図示してある。上述したセル構造とキャパシタ構造の変更によりセルファクターは 2013-2015 年に 16 となり、その後も微細化が進んでいく予定である。

強誘電体材料の選択肢

現在数種類の強誘電体材料が評価されているが、現時点では決定的な材料ははっきりしない。⁴⁷ 現時点で優劣を争っている材料は 2 つある。PZT、即ち $\text{Pb}(\text{Zr,Ti})\text{O}_3$ と SBT、即ち $\text{SrBi}_2\text{Ta}_2\text{O}_9$ である。SBT は Pt の下部電極を用いた場合優れたファティーグ・フリー特性を示し、抗電界 (E_c) も小さいので低電圧動作に向いている。(ファティーグとはメモリキャパシタで繰り返しデータ書き換えをすると、分極が反転しづらくなることと定義される)。PZT は単位面積あたりのスイッチング電荷 Q_{sw} が大きく、3D 型を採用せずにさらなるスケールアップを行う際に重要となる。どちらの材料ともにデバイス形成のプロセスインテグレーションにより劣化する可能性があり、このことがデバイス開発の妨げとなっている。

PZT 膜と SBT 膜の最も重要な課題は、水素拡散⁴⁸ と酸素欠損に起因するとされている膜質の劣化を抑制すること、安定したデータの読み書きを達成すること、それにデータ保持である。FeRAM を混載する場合にもプロセスの改善が必要である。強誘電体膜を結晶化するための高温酸素アニール後に、高温アニールや膜

⁴⁷ D. J. Wouters, 28, International Conference on Solid State Devices and Materials, 2003.

⁴⁸ J. S. Cross, Y. Horii, N. Mizuta, S. Watanabe and T. Eshita, Jpn. J. Appl. Phys. 41 (2002) 698.

への水素侵入を避けることが重要である。たとえば、 AlOx や TiN が水素バリア層として用いられる。また、 IrO_2 や $\text{SrRuO}_3(\text{SRO})$ のような導電性酸化物は、強誘電体膜質が改善されるため、しばしば PZT のキャパシタ電極材料として用いられる。

物理的蒸着 (PVD) や Sol-Gel 法を含む化学溶液法 (CSD) は、誘電体膜作成に現在もっともよく使用されている製法である。しかしながら、スケーリングを継続して行くには、Table FEP17 の記載にある様に、MOCVD 等のもっともステップカバレッジの良い製法に移行していく必要がある。以前に報告された MOCVD を用いた研究によれば、(111) 配向の PZT 膜はスイッチング電荷を大きくするのに極めて有効であると報告されている。⁴⁹ キャパシタ電極は、エッチングにより発生した揮発性の副生成物と反応しないため、キャパシタ電極のエッチングにおいては、RIE による挑戦が残されている。そのためスパッタによる加工が広く用いられているが、CD (Critical Dimension) の制御に限界があり、スケーリングが難しくなる。キャパシタの側壁角度を改善するための高温エッチング技術は、この問題を克服するために開発された。⁴⁸

PZT と SBT は、しばしばそれらの電気特性を改善するために不純物を入れて用いられる。たとえば PZT に対し La、SBT に対し Nb である。その目的は、リーク電流の抑制、エンデュランスまたはインプリント特性の改善、後工程による膜質劣化抑制等の膜質の向上である。PZT と SBT に加わる、有望な新材料の一つは BLT、または $(\text{Bi,L a})_4\text{Ti}_3\text{O}_{12}$ である。⁵⁰ その特性は先行する 2 つの材料の間である。⁴⁵ さらに $\text{BiFeO}_3(\text{BFO})$ が新しい候補の材料として注目を集めている。BFO は $150\mu\text{C}/\text{cm}^2$ 以上の巨大な強誘電体分極をもつ。⁵¹ BFO は大きな分極率を示すが、それより高いスイッチング電圧を必要とし、そのため膜については、低電圧動作に適応するために、より薄膜化で、もしくはふさわしいドーパの必要性があることを意味している。どの膜の特性も近年の努力で向上して来ているので、膜の選択よりも、その膜を使いこなす方が重要であると思われる。

最小スイッチング電荷の見積り

最小スイッチング電荷は次のようにして見積もった。FeRAM のセンスアンプは基本的に DRAM と同じと仮定し、ITRS 1999 の DRAM のデータを用いてビット線の信号電圧を計算した。ITRS 1999 のデータはキャパシタンス C_s が技術世代に関わらず $25\text{fF}/\text{cell}$ のまま一定で、ビット線容量が $0.18\mu\text{m}$ 世代時に 320fF である。このデータとさらにビット線容量が $F^{2/3}$ (ここで F は最小寸法である⁵²) に比例すると仮定することにより、 $\Delta V_{\text{bitline}}$ の計算が可能となる。 $\Delta V_{\text{bitline}}$ は約 140mV であり、この値が技術世代に関わらずセンスアンプ回路には必要と仮定する。 $\Delta V_{\text{bitline}}$ (140mV) と C_{bitline} を掛け合わせることで最小スイッチング電荷が得られる。

以上で求められた最小スイッチング電荷を強誘電膜の単位面積あたりのスイッチング電荷 QSW ($30\mu\text{C}/\text{cm}^2$ と仮定) で割ることにより、必要なキャパシタ面積が得られる。この面積がキャパシタの投影面積より大きい場合は、3次元 (3D) のキャパシタが適用されることになる。この議論から 3D キャパシタは 2016 年までに必要となる。

Table FEP9a と FEP9b に示す FeRAM に関する予測は、以上の仮定と計算に基づいている。「赤い壁」は早い項目では 2016 年に現れる、これらの壁をうち破るには、後工程による劣化の少ない高信頼性の強誘電体材料を開発することが最も重要である。

⁴⁹ Y. Horii, Y. Hikosaka, A. Itoh, K. Matsuura, M. Kurasawa, G. Komuro, K. Maruyama, T. Eshita and S. Kashiwagi, 539, IEDM, 2002.

⁵⁰ B. H. Park, B. S. Kang, S.D. Bu, T. W. Noh, J. Lee, and W. Jo, 682, Nature, 1999.

⁵¹ K. Y. Yun, D. Ricinchi, T. Kanashima, M. Noda and M. Okuyama, Jpn. J. Appl. Phys. 43(2004)L647.

⁵² A. Nitayama, Y. Kohyama, and K. Hieda, 355, IEDM, 1998.

エンデュランス

SRAM や DRAM のような他の RAM を置き換えるには、読み書きの繰り返しに対するエンデュランスが 10^{15} 回は必要である。この値を確認するために、物理的なモデルによる加速テストに基づいた実用的な時間内での標準的なテスト方法が必要とされている。エンデュランス試験による強誘電体キャパシタ単体での劣化についてのいくつかのモデルは文献中にみられるが、後工程を経た後のキャパシタを用いた劣化についての報告はほとんどない。

近年 FeRAM はその高速性と耐久性により EEPROM や FLASH メモリの置き換えとして、IC カードや個人認証用に使われだしている。セキュリティ用途は FeRAM 市場の大きな可能性を秘めている。

フラッシュメモリのメモリ容量が劇的に増加し、今では汎用 DRAM とほぼ等しいか、あるいは凌駕するようになったという事実には勇気づけられるが、これは大容量の不揮発性メモリに対する市場の要求があったから起こったことである。FeRAM もこの要求を満たす可能性があり、結果的に「もう一つのフラッシュ」となり得る。世界の研究者が FeRAM 開発に奮闘されることを大いに期待したい。

Table FEP9a FeRAM Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
FeRAM technology— F (nm)[A]	180	180	180	150	150	150	130	130	130
FeRAM cell size—area factor a in multiples of F^2 [B]	22	22	22	20	20	20	16	16	16
FeRAM cell size (μm^2) [C]	0.713	0.713	0.713	0.450	0.450	0.450	0.270	0.270	0.270
FeRAM cell structure [D]	2T2C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [E]	stack	stack	stack	stack	stack	stack	stack	stack	stack
FeRAM capacitor footprint (μm^2) [F]	0.330	0.330	0.330	0.199	0.199	0.199	0.106	0.106	0.106
FeRAM capacitor active area (μm^2) [G]	0.330	0.330	0.330	0.199	0.199	0.199	0.106	0.106	0.106
FeRAM cap active area/footprint ratio	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00
Ferro capacitor voltage (V) [I]	1.50	1.50	1.50	1.20	1.20	1.20	1.20	1.20	1.20
FeRAM minimum switching charge density ($\mu\text{C}/\text{cm}^2$) [J]	13.5	13.5	13.5	19.9	19.9	19.9	34.0	34.0	34.0
FeRAM endurance (read/write cycles) [K]	1.0E+14	1E+14	1E+14	1E+14	1E+14	1E+14	1E+15	1E+15	1E+15
FeRAM nonvolatile data retention (years) [L]	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years

Table FEP9b FeRAM Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
FeRAM technology – F (nm) [A]	90	90	90	65	65	65	65
FeRAM cell size – area factor a in multiples of F2 [B]	14	14	14	12	12	12	12
FeRAM cell size (μm ²) [C]	0.113	0.113	0.113	0.051	0.051	0.051	0.051
FeRAM cell structure [D]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [E]	3D	3D	3D	3D	3D	3D	3D
FeRAM capacitor footprint (μm ²) [F]	0.041	0.041	0.041	0.016	0.016	0.016	0.016
FeRAM capacitor active area (μm ²) [G]	0.100	0.100	0.100	0.069	0.069	0.069	0.069
FeRAM cap active area/footprint ratio	2.46	2.46	2.46	4.25	4.25	4.25	4.25
Ferro capacitor voltage (V) [I]	1.00	1.00	1.00	0.70	0.70	0.70	0.70
FeRAM minimum switching charge density (μC/cm ²) [J]	30	30	30	30	30	30	30
FeRAM endurance (read/write cycles) [K]	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16	>1.0E16
FeRAM nonvolatile data retention (years) [L]	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

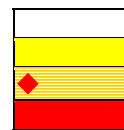


Table FEP 9a と 9b に対する注釈

[A] 最小寸法「F」は、現在量産中の寸法で定義される。

[B] セルサイズ= a x F²

[C] {(セルサイズ) 1/2 – (キャパシタースペース)}² と仮定。ここでキャパシタースペース =1.5*F。

[D] セル構造に加え、セル配置も研究されている。例) Chain-FeRAM

[E] スタック構造、3D 構造の右図参照

[F] 3D はペDESTAL構造を仮定した。

[G] 3D キャパシタの場合は 1 を超える。それ以外は 1 である。

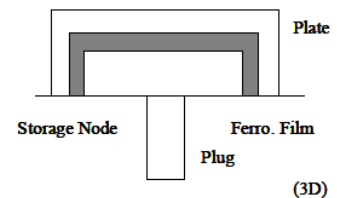
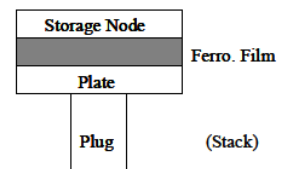
[I] Vop=動作電圧。低電圧動作が課題。2003年の松下の 0.18 μmのサンプル(SBT)では1.1Vである。

[J] はじめに 1 セル当りの最小スイッチング電荷量を √Vbitline*Cbitline で計算。ここでは √Vbitline=140 mV Cbitline =F^{2/3} DRAMと同じと仮定。スタック構造の場合、この値をキャパシタ面積で除算し、最小スイッチング電荷量密度を計算。

3D 構造の場合は 30 とする。

[K] 100 MHz*10years=3E+16 。SRAM や DRAM と競合するためには 1E15 回のエンデュランスが必要。

[L] 用途に依存する。85°C は IC カードのスペックから。



インターフォーカス ITWG の議論

フロントエンドプロセスは他のフォーカス ITWG と多くの課題と依存状態を共有している。これらの主なものは、PIDS と(ある程度)設計 ITWG とともに共有する、ゲート EOT とリーク要求を取り巻く課題である。これらの ITWG との課題はほかにも、接合深さとシート抵抗の技術要求や代替デバイス構造によって促進される技術要求を中心に議論を繰り返している。これらの課題の解決は、一般的に妥協とトレードオフによって達成される。FEP、PIDS、設計、リソグラフィ間の共同努力は、ゲート長のスケージングのみでなく、ゲート長の CD 許容値にも集中している。ITRS2005 から全体の CD 許容値が 10%から 12%に緩和されたにもかかわらず、CD 制御は課題のままである。この共同努力はまた、現状予測されるゲート長のスケージング速さを評価・判断して、ITRS の将来版で調整を行うであろう。また、FinFET や他のマルチゲートトランジスタのような従来とは違った

MOSFET のデバイスパラメータの最適なトレードオフに関しては、PIDS とより多くの議論があると予想される。他の技術交流には、異なる統計的な欠陥モデルを検証するための歩留向上 ITWG との議論が含まれる。最も重要な技術交流は引き続き配線 ITWG とのものであり、そこでは FEP の表面処理チームメンバーが配線の表面処理や洗浄の技術要求と解決策候補の開発に技術的な支援を行っている。

将来の新探求素子の影響

集積回路技術を縮小し続けるためには重大な技術課題を克服しなければならず、長期には、より急進的なデバイスを CMOS と統合して性能を高め続ける必要があるだろう。新探求素子(ERD)は記憶素子と論理素子の両方を含んでおり、これらがまだ研究中である間に挑戦的な課題を克服して CMOS と統合しなければならない。新探求記憶素子の多くと論理素子のいくつかは従来のチャージ状態の技術に基づいており、現在 FEP のロードマップにあるプロセスモジュールを使用できるであろう。これらは一時的に脚光を浴びている。より長期の新探求素子の多くは、新しいデバイス材料を使用して、新しいプロセスモジュールと統合の複雑さを取り込むであろう。これらのデバイスは理論の域を出ないものであり、従来デバイスの流れを捉えるタイミングは定義されなかった。詳細は ERD 章で議論されている。

新探求記憶素子

- 技術的に検討されたトンネル障壁
- 強誘電体 FET
- ヒューズ/アンチヒューズ
- イオンメモリ
- 電子効果
- ナノメカニカル
- 巨大分子
- 分子

新探求論理素子

- 強磁性体(磁気 QCA(Quantum Cellular Automata)を含む)
- FET イクステンション-1 次元構造
- FET イクステンション-チャネル・リプレースメント
- 共鳴トンネル
- 分子(電子 QCA を含む)
- 単一電子トランジスタ(SET)
- スピントランジスタ

これらのデバイスの中で、ナノ浮遊ゲート、SET および共鳴トンネルデバイス(RTD)は多くの現存するプロセスを使用することができるが、おそらく技術的に検討された絶縁膜を必要とするだろう。1 次元構造(ナノチューブ、ナノワイヤなど)は、直径と位置と方向を制御する新しいプロセスや新しいドーピングプロセスを必要とするだろう。ポリマーデバイスや分子デバイスは、CMOS と互換性のある低温プロセスと信頼性のあるコンタクトを必要とするだろう。他のデバイスは、CMOS プロセスと互換性のあるようにするために重大な仕事を必要とする急進的な材料を導入するだろう。

1 次元構造は、直径、構造、位置および方向を制御するために最適化された触媒と CVD プロセスを必要とする。また、1 次元構造に選択的にドーピングする新しいプロセスや低抵抗コンタクトを形成する新しいコンタクト材料やプロセスを必要とするだろう。ナノワイヤは、ドーパントのイオン打ち込み量やエネルギーの極めて厳

しい制御を必要とし、また、新しい high-k ゲート絶縁膜が Si や SiGe や Ge の複数の方位が混在する表面を保護するために必要となるだろう。カーボンナノチューブは現存しない新しいドーピングプロセスを必要とし、また、新しいゲート絶縁膜とゲート電極がしきい値電圧を制御するために必要となるだろう。

絶縁抵抗相変化メモリや強誘電体 FET メモリは、新しい成膜能力や新しいエッチング、洗浄を必要とする急進的な新しい材料を導入するだろう。これらの材料は多くの場合、高温で成膜しなければならない複合金属酸化物であり、コンタクトの形成や集積化は挑戦的であるかもしれない。

伝統的にいくつかの RTD は III-V 族半導体で作られており、CMOS との統合のため FEP に複雑な新しいプロセスと材料を導入する。最近の仕事はインテグレーションを必要とする SiGe でできたデバイスで実証されているが、多くの課題をとくに peak/valley の I/V 比 >5 を実現するこれらの材料で克服しなければならない。更に、Si や SiGe ベース RTD の最もよい使い方は、別の複雑な材料とインテグレーションの課題をもたらす CMOS ゲートに統合することである。

スピントランジスタは急進的で新しい材料の CMOS への統合を必要とするだろう、そして、これは新しい成膜性能を必要とし、プロセスの複雑さをもたらすであろう。これらのデバイスは今のところ理論の域を出ないが、その中には GaMnAs や GeMn のほかに強磁性体材料から劇的な汚染の課題がある半導体へのスピン注入も含まれている。

新探求素子に対するプロセス複雑さのレベルは、新材料が使われ、CMOS プラットフォームに統合されるに従って増加し続けるだろう。これは新しい成膜、エッチング、洗浄プロセスおよび新しいバリア層とコンタクト技術の開発を必要とするだろう。

クロスカットの議論

FEP と計測とのクロスカットの課題

FEP 計測は、新しい材料・プロセス・構造の急速な導入に関連した技術課題に直面し続けている。基板と洗浄の領域では、小さなパーティクルの検出が課題であり続けている。絶縁膜上の歪みシリコン(sSOI)のような新しい基板に設けられる多層界面は、基板特性の均一性の測定に複雑さを加える。high-k 材料が生産に入ったので、絶縁膜とメタルゲートの膜計測は、複雑な層構造や各層の成分組成のプロセスコントロールを支援できるようにならねばならない。新しいゲートスタック材料に加えて、ほかの新材料・構造が将来導入されることが期待されている。サイドウォール計測、形状、寸法制御は、FinFET のような新構造で課題であり続ける。電気的な計測能力は、新しい high-k スタックの導入に伴って進化する必要がある。

FEP とモデリング&シミュレーションとのクロスカットの課題

新材料やノンクラシカル CMOS の導入は FEP の技術課題に取り囲まれている。これはモデリング&シミュレーション(Modeling and Simulation)にさまざまな要求をもたらす。特に、来るべき材料に制限されるデバイススケールリングの時代には、材料問題を大部分のモデリング領域で取り扱う必要がある。これにはとりわけ歪み材料が含まれているので、応力と歪みのモデリングの重要性はますます大きくなっている。とくに新しいデバイスアーキテクチャは、これらのデバイスを製造(例えば浅い接合を形成)するのに使われるプロセスステップのシミュレーション改善とともに、数値的デバイスシミュレーションの大きな進展を必要とする。縮小するデバイス寸法とノンプレーナ・アーキテクチャの両方によって(とくに SOI デバイス)、界面の影響がその間の容積が減少するために大きくなる。これらの効果は、物理過程とデバイスモデルに適切に含まなければならない。プロセスのバラツキはデバイスの更なる微細化にますます重要となっており、一いちばんの例は、2005 年版ロードマップ

でのリソグラフィとエッチングのバラツキ許容量の再配分である一、シミュレーションは最終デバイスやチップへのこのようなバラツキの影響を評価することに貢献することができ、また、しなければならない。high-k 絶縁膜を2008年までに導入する必要があるため、モデリングはできるだけ早くそれらについて適切に記述できなければならない。極浅の、急峻な、高く活性化されたドレインエクステンションの形成は主要な課題であり続けており、モデリングによる支援は使用されるプロセスの物理的な理解(例えば、アニール中のドーパントや点欠陥の反応動力学)をよりよいものとするとともに、数値シミュレーションによってそれらを引き続き最適化することに必要である。この知識は、ドーパント原子と欠陥との相互作用を利用してより浅い接合を実現することを目的とする欠陥エンジニアリングにもまた必要である。更に、LWR(Line Width Roughness)と LER を含む CD の低減、LWRとLERを含むこれらバラツキの制御は一般的に重要な課題であり、実験の労力を最小化するためには多くの CD に影響を与えるものの中からもっとも重要なパラメータを特定するシミュレーションを用いることがより望ましい。

FEP と環境・安全・健康とのクロスカットの課題

包括的な情報については環境・安全・健康(Environment, Safety, and Health)の章を参照し、新しい化学物質の選別ツール([化学物質制限 Table](#))にリンクのこと。⁵³

結論

ITRS2007 の FEP 章では、伝統的なスケールを超えて継続する集積回路の進化のために、技術課題と解決策候補をはっきりと特定しようとした。次の数年の間に、フロントエンドプロセスは、MOSFET のゲートスタックや DRAM のストレージキャパシタ、フラッシュ・メモリのストレージデバイスなど様々なアプリケーションに high-k 材料や難度の高いデバイス設計を適用した金属膜などの新材料の継続的導入を必要とするであろう。これらの新しい材料に加えて、FinFET のような新しいデバイス構造が要求性能を満たすために導入されるであろう。代替メモリの市場成長は、さらに広範な種類の強誘電体薄膜や磁性体薄膜そして相変化薄膜の材料開発および最適化を要求するであろう。基礎をなすこれらのデバイスの変化は、SOI のような基板への要求や次の 5~7 年以内の直径 450mm 基板の必要性を急速に進展させている。

バルク CMOS の延命からノンクラシカルなデバイス構造への変化は、すべてのアプリケーションおよびすべての半導体メーカーに同時に起こると思われない。むしろ、非常に多様な技術が同時に競争的に使用される場合、一あるメーカーが先にノンクラシカルなデバイスへの移行を決める一方で、他のメーカーがバルク技術の延命を重要視する一というシナリオが描かれる。FEP チームはこのシナリオが有力であると考え、クラシカル CMOS を延命するために何が必要か、また、完全空乏型 SOI やマルチゲートのような他のデバイス構造への移行により何が得られるかを示す並列パスの指標を示した。

さらに、FEP チームは、high-k 絶縁膜のような材料技術や CD エッチングのようなプロセス技術の新しいドライバーとして、フラッシュ・メモリのアプリケーションの加速的増大に注目している。フラッシュ・メモリ市場の急拡大によって、これらのデバイス用の材料とプロセスがより多くの技術開発において中心課題となるであろう。

異なる ITRS 技術ワーキンググループ(TWG)間の綿密な協力こそが、今後直面し得る技術障壁に対して解決策を見つける方法である。これは、過去 2 年にわたって FEP、PIDS、リソグラフィおよび設計グループ間で物理ゲート長のバラツキの課題について連続的な議論をすることによって実証された。このコラボレーションによって、露光寸法とエッチバイアス間のシフトや許容バラツキの再配分、および以前規定されたよりもわずかに大きな許容バラツキでデバイスを経済的に製造することができるといった認識の共有を含め、結果的に ITRS の

⁵³ 訳注:英語版で設けられていたリンクは削除した。

いくつかの章にわたって変更が行われた。このような継続的な TWG 間のコラボレーションは更に今後技術障壁に直面しても解決策を見つける上で極めて重要になるであろう。